

UNIVERSITE CATHOLIQUE DE LOUVAIN
LABORATOIRE DE MICROELECTRONIQUE

**ETUDE ET REALISATION
D'UN SYSTEME DE TRANSFORMATIONS BINAIRES
COMPRENANT UN CIRCUIT INTEGRE SPECIFIQUE**

Thèse présentée en vue de
l'obtention du grade de
Docteur en Sciences Appliquées
par

Philippe DELEUZE

Avril 1988

A mes parents,

Je tiens à remercier Monsieur le Professeur Paul Jaspers, promoteur de cette thèse, pour son enseignement, son aide, ses conseils, ses encouragements et son soutien tout au long de ce travail de recherche.

Je désire remercier également Messieurs les Professeurs Marc Davio et Charles Trullemans pour leurs enseignements, ainsi que pour la disponibilité qu'ils ont toujours manifestée à mon égard.

Je remercie Messieurs les Professeurs R. Crappe (Faculté Polytechnique de Mons) et E. Vittoz (Ecole Polytechnique Fédérale de Lausanne) d'avoir accepté de faire partie, avec Messieurs Jaspers, Davio et Trullemans, du jury d'examen.

Il m'est un devoir et un plaisir de remercier tous les membres de l'équipe O.C.R. sans qui ce travail n'aurait pu être mené aussi loin. Je voudrais plus particulièrement nommer : René Barbier, Michel Dauw, Pierre De Muelenaere et Jean-Didier Legat.

Je ne peux citer ici tous les membres du Laboratoire, personnels Techno, Scientifique et Académique, qui, tout au long de ces trois années de recherche, m'ont offert tantôt leurs services, tantôt leurs avis et leurs compétences. Que chacun trouve ici l'expression de toute ma gratitude.

Je voudrais enfin remercier l'Institut pour l'encouragement de la Recherche Scientifique dans l'Industrie et l'Agriculture (IRSIA) pour l'aide financière apportée à la réalisation de ce travail.

PARTIE A : ALGORITHMES

TABLES DES MATIERES.

<u>CHAPITRE</u>	<u>Page</u>
1. INTRODUCTION AUX LECTEURS DE DOCUMENTS	A 2.
INTRODUCTION.	2.
Systèmes industriels	2.
Systèmes bureautiques	2.
UTILITE DES LECTEURS DE DOCUMENTS	3.
Les applications de la reconnaissance des caractères	4.
2. LE SYSTEME OCR DEVELOPPE A L'UCL	7.
Introduction	7.
Le lecteur intégré	7.
Le lecteur de documents	10.
Le lecteur optique	12.
La transformation binaire	12.
L'analyse de documents	13.
La segmentation des caractères	13.
La reconnaissance des caractères	13.
La correction contextuelle	13.
Matérialisation du lecteur de documents	14.
3. LE SYSTEME DE TRANSFORMATION BINAIRE	16.
Introduction	16.
Binarisation et transformation en pseudo-gris	17.
Binarisation	17.
Transformation en demi-teintes	18.
Conclusions	23.
4. BINARISATION	25.
Introduction	25.
Algorithmes développés : survol	27.
Binarisation avec seuil adaptatif, gradient et hystérèse	28.
Binarisation avec seuil fixe	28.
Binarisation avec gradient	30.
Binarisation avec seuil et gradient	34.
Binarisation avec seuil, gradient et hystérèse	36.
Binarisation avec seuil adapté, gradient et hystérèse	43.
Influence des paramètres sur le résultat	48.
Binarisation avec Laplacien et hystérèse	53.
Introduction	53.
Laplacien et binarisation	53.
Algorithme de base	55.
Algorithme avec hystérèse	57.
Détermination de la valeur des paramètres	60.
Comparaison et efficacité des algorithmes	65.
Rappel des caractéristiques du premier algorithme	65.
Rappel des caractéristiques du second algorithme	65.
Comparaison	66.
Conclusions	68.

Programme de simulation	72.
Binarisation de caractères	72.
Binarisation de pages	74.
5. TRANSFORMATION EN PSEUDO-GRIS	78.
Introduction	78.
Méthodes existantes	82.
Electronic Screening	82.
Ordered Dither	83.
Choix de la transformation en demi-teintes	83.
Constitution de la cellule unitaire de la méthode Ordered Dither choisie	87.
Mise en oeuvre : dynamique utilisée et dilatation de l'image grise	89.
Résultats	91.
6. ALGORITHME DE DIFFERENCIATION PSEUDO-GRIS / BINARISE	98.
Introduction	98.
Données d'entrée	98.
Données supplémentaires	100.
Utilisation de la dynamique maximale	104.
Correction apportée à la fonction de dilatation	104.
Matérialisation de la fonction de discernement	107.
Résultats de la méthode	111.
Tesselation avec recouvrement	113.
Résultats de la tesselation avec recouvrement	115.
Segmentation en superblocs et décision majoritaire	116.
Résultats de la segmentation en superblocs	124.
Matérialisation de la méthode	124.
7. CONCLUSIONS	125

PARTIE B : CIRCUIT INTEGRE

TABLES DES MATIERES.

<u>CHAPITRE</u>	<u>Page</u>
1. CONTEXTE DU SYSTEME DE TRANSFORMATION BINAIRE	B 3.
2. L'UNITE OPERATIVE	8.
Introduction	8.
Caractéristiques fondamentales	8.
Architecture générale de la partie opérative	9.
3. L'UNITE DE TRAITEMENT : LE CIRCUIT INTEGRE IMP	11.
Présentation générale	11.
Introduction	11.
"L'algotronique"	12.
Décomposition des algorithmes en opérations fondamentales	13.
Choix des fonctions à intégrer	15.
Architecture du circuit intégré IMP	16.
Méthode bit-slice	19.
Unité de calcul d'adresses (UAD)	23.
Unité de calcul arithmétique (UCA)	26.
Unité de calcul de fonctions spéciales (UFS)	30.
Organisation temporelle	33.
Le plan de masse	40.
La réalisation du circuit	43.
Programme d'aide à la conception	46.
4. DESCRIPTION DES CELLULES DE BASE	47.
Registre statique 1 bit	49.
Plot d'entrée/sortie tristate maître/esclave	54.
L'additionneur/soustacteur	59.
5. LE TEST DU CIRCUIT	65.
Introduction	65.
Le système de test logique	66.
Description	66.
Génération des vecteurs de test	68.
Résultats	72.
6. PROGRAMMATION INTERNE DU CIRCUIT INTEGRE	73.
Introduction	73.
La dilatation linéaire	73.
Programmation pour la transformation en demi-teintes	74.
Conclusions	75.

7.	LA CARTE GIAN	76.
	Introduction	76.
	L'unité d'interface	77.
	L'unité de contrôle	78.
	L'unité opérative	80.
	Conclusion	80.

PARTIE A

L'ALGORITHMIQUE

INTRODUCTION

Un secteur en constant développement ces dernières années est certainement celui de la recherche de systèmes efficaces de communication entre l'homme et la machine. La reconnaissance des Caractères (O.C.R. : Optical Character Recognition) en est un exemple type.

L'intérêt suscité par la reconnaissance des caractères provient du nombre important d'applications rendues possible par un système de lecture optique.

L'utilisation des techniques de l'O.C.R. dans l'analyse des documents ouvre la voie à la matérialisation d'un système automatique de traitement de l'information contenue sur le support papier.

L'apparition de la technologie VLSI autorise la matérialisation d'algorithmes complexes sous forme de circuits intégrés possédant des performances de vitesse et de compacité élevées [Réf. 27].

Ce travail présente l'étude et la réalisation d'un Système de Transformations Binaires comprenant un circuit intégré spécifique. Le Système de Transformations Binaires est un des sous-ensembles du lecteur de documents développé au Laboratoire de Microélectronique en vue d'applications bureautiques. Il est l'interface indispensable entre le lecteur optique et l'analyse des documents.

Le rôle premier du Système de Transformations Binaires est la conversion de l'information grise venant du digitaliseur du lecteur optique, en une information binaire (Blanc / Noir) utilisable par les parties Segmentation et Reconnaissance des caractères. La réduction de la quantité d'informations à traiter simplifie grandement les phases de Segmentation et de Reconnaissance, mais reporte, cependant, la responsabilité du maintien "suffisant" de la qualité de l'information lors de la conversion image grise / image binaire sur le Système de Transformations Binaires.

L'extension de l'analyse des documents à des pages dites "complètes", c'est à dire contenant des caractères, des graphiques et aussi des photographies, a donné aux Systèmes de Transformations Binaires une dimension nouvelle : la conversion gris / binaire doit conserver l'information venant de sources aussi différentes que les caractères / graphiques (traits) et les photographies (nuances grises).

La thèse comporte deux parties : l'une détaille l'étude et le développement des algorithmes de transformation binaire, et l'autre aborde la matérialisation du système sous la forme d'un processeur microprogrammé (GIAN) contenant un circuit intégré (IMP) réalisé dans une technologie NMOS 6 μm .

CHAPITRE 1

INTRODUCTION AUX LECTEURS DE DOCUMENTS.

1.1. INTRODUCTION

La mise au point des lecteurs de documents n'est pas une nouveauté. Plusieurs systèmes existent et sont disponibles sur le marché international. On peut les classer en deux familles suivant les applications visées.

1.1.1. Systèmes industriels

Les créneaux d'applications visés sont essentiellement les banques (mémorisation de l'information utile des documents : chèques, ...) et les services postaux (tri automatique du courrier suivant le code postal).

Ces systèmes, qui travaillent à des vitesses élevées et quelquefois sur des caractères multifontes, sont de grande taille et très coûteux.

1.1.2. Systèmes bureautiques

Le développement de la bureautique a ouvert un nouveau domaine d'applications pour les lecteurs de documents. De nouveaux systèmes O.C.R. compacts, performants, de faible coût et multifontes sont apparus pour répondre à la demande future de la bureautique.

Une limitation de ces systèmes est, cependant, leur incapacité à traiter des documents contenant autre chose que des caractères, excluant les graphiques et les photographies.

Le lecteur de documents, étudié et développé au Laboratoire de Microélectronique, autorise le traitement de documents COMPLETS (caractères, graphiques et photographies).

1.2. UTILITE DES LECTEURS DE DOCUMENTS

Le but des lecteurs de documents est la compression de l'information contenue sur le support papier. L'image du document peut être considérée comme une matrice de points appelés PIXELS (contraction de Picture Eléments).

Une première compression de l'information est obtenue par la "binarisation" des pixels qui transforme la description grise (N bits / pixel) en code binaire pur (Blanc ou Noir, '0' ou '1'). Le rapport de compression entre les images grises et binarisées est alors de N (typiquement 4 ... 8).

Une seconde compression , plus importante que la précédente, est obtenue au départ du document binarisé par l'application d'un système de reconnaissance des caractères.

Prenons l'exemple d'un document de format A4 exclusivement formé par des caractères. Avec une résolution du lecteur optique (caméra, barrette CCD) de 8 pixels par mm, la page A4 est composée de 3.9 Mpixels et contient environ 2400 caractères (30 lignes de 80 caractères). L'espace mémoire nécessaire pour stocker le document, de 3.9 Mbits sous sa forme binarisée, se réduit, après reconnaissance des caractères et remplacement de ceux-ci par leurs codes ASCII, à 2400 Bytes auxquels on doit cependant ajouter quelques bytes reprenant les coordonnées des positions des caractères à l'intérieur du document. Le rapport de compression est de l'ordre de 100, et est nettement supérieur à celui qui serait obtenu par des méthodes plus classiques de codage (Run Length Coding) appliquées au document binarisé (10 ... 20) [Réf. 53].

Dans un document COMPLET (caractères, graphiques, photographies), chaque caractère reconnu une fois remplacé par son code ASCII, le reste du document (caractères non reconnus, graphiques et photographies) est compacté à l'aide de codes performants tels que Run Length Coding, ... [Réf. 53, 54, 55, 56, 57, 58].

1.3. LES APPLICATIONS DE LA RECONNAISSANCE DES CARACTÈRES

Les applications industrielles de l'O.C.R. peuvent être classées en trois catégories :

- + application au Fac-Similé. L'emploi du système, exploitant la Reconnaissance des Caractères, permet de réduire considérablement la quantité de données à transmettre, en comparaison avec un codage classique. Le temps de transmission du document étant plus court, les frais de communication (voies téléphoniques, ...) sont eux aussi réduits (Fig. 1.3-1) .
- + application au stockage de documents. Le volume de mémoire nécessaire au stockage des documents peut être réduit de manière significative (Fig. 1.3-2).
- + application à la télématique. Le système O.C.R. sert d'intermédiaire entre l'homme et la machine : une fois le document lu par le système O.C.R. et délivré à la machine sous une forme compréhensible par cette dernière (le code ASCII), de nombreux traitements informatiques deviennent possibles (correction contextuelle, analyse et traitement de textes, ...) (Fig. 1.3-3).

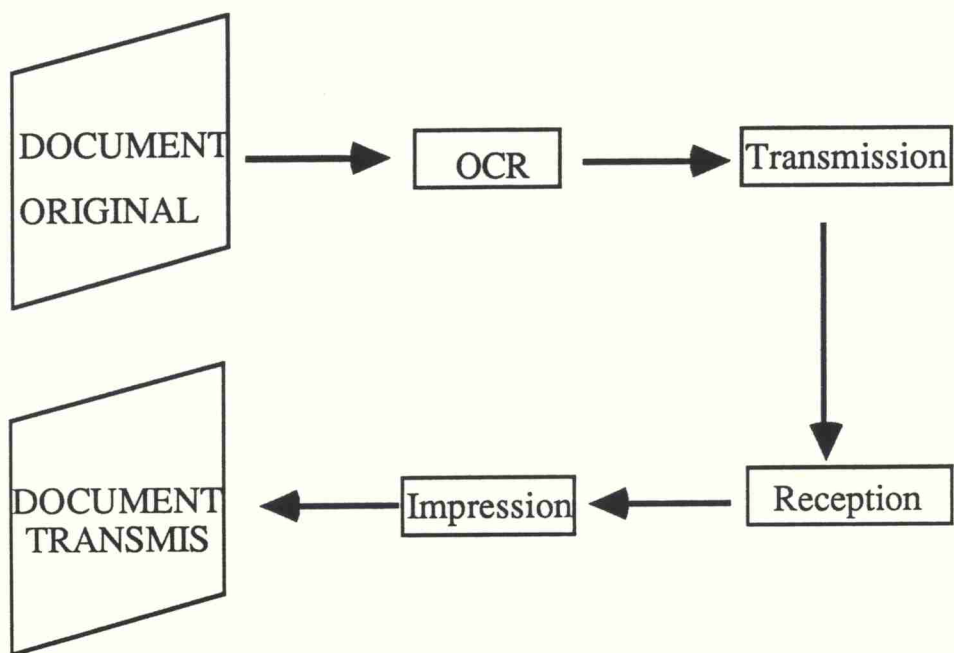


Figure 1.3-1

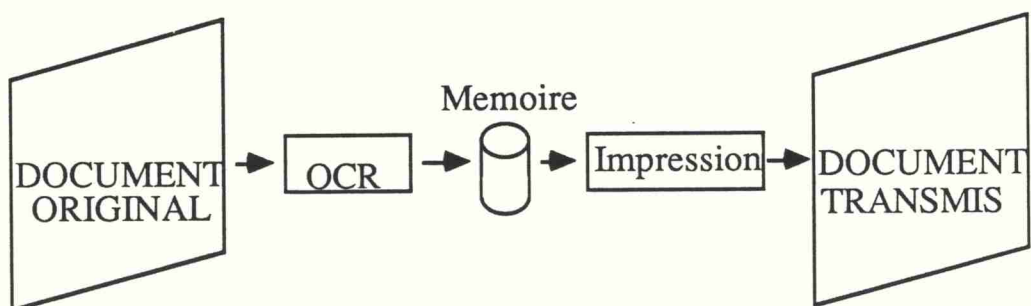


Figure 1.3-2

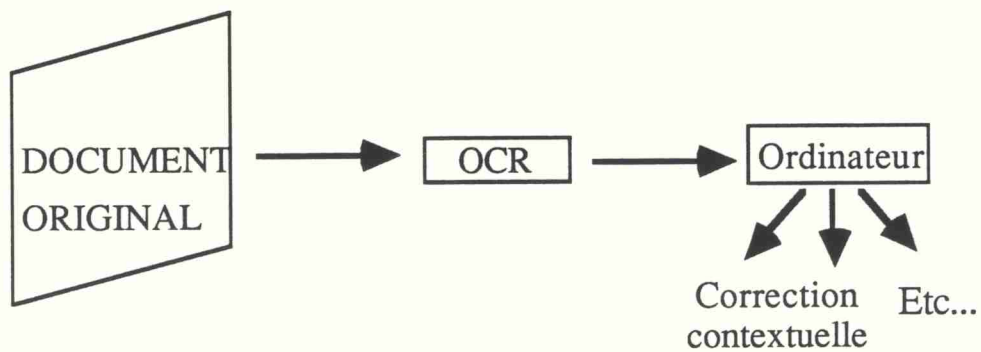


Figure 1.3-3

CHAPITRE 2

LE SYSTEME OCR DEVELOPPE A L'UCL.

2.1. INTRODUCTION

La Reconnaissance des Caractères n'est pas un domaine de recherche nouveau au Laboratoire de Microélectronique. Plusieurs années de recherche et de développement ont donné le jour à deux systèmes indépendants :

- + le crayon - lecteur ;
- + le lecteur de documents.

Ces deux systèmes, chronologiquement successifs, ont été étudiés suivant des philosophies distinctes et présentent des différences marquées au niveau des options prises et des matérialisations.

2.2. LE LECTEUR INTEGRE

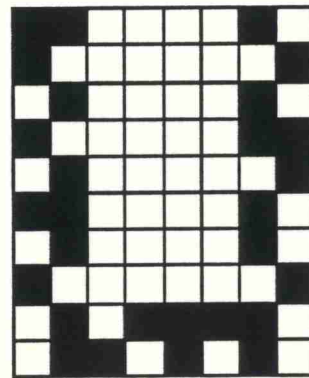
Le crayon - lecteur [Réf. 49 & 50] est le résultat d'une collaboration entre le Laboratoire de Microélectronique et une firme privée SALT. Cette recherche devait aboutir à un système compact permettant de reconnaître les caractères de fonte OCRB lus par une photomatrice intégrée contenue dans le support-crayon.

La reconnaissance s'effectuait suivant le processus suivant :

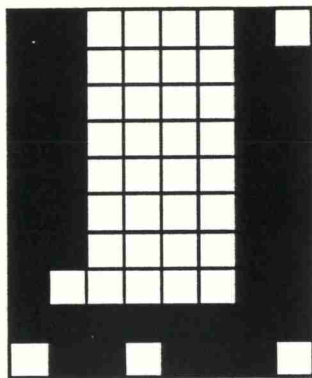
- + lecture du caractère par la photomatrice et binarisation "on - chip" (fig. 2.2-1a, b).
- + cadrage et prétraitement du caractère binarisé (occlusion de "trous" dans les branches du caractère, ...) (Fig. 2.2-1c);
- + squelettisation du caractère (Fig.2.2-1d);
- + extraction de vecteurs représentatifs du squelette (Fig. 2.2-1e);
- + filtrage des vecteurs et extraction des macrocodes (par exemple le sens des vecteurs : Nord, Sud, ...) (Fig. 2.2-1f);
- + reconnaissance ou rejet par un microprocesseur au vu des macrocodes.



(a)

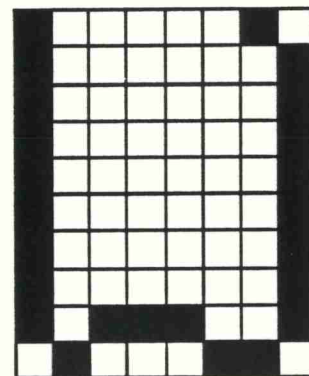


(b)

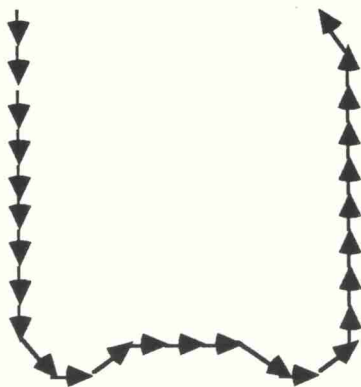


(c)

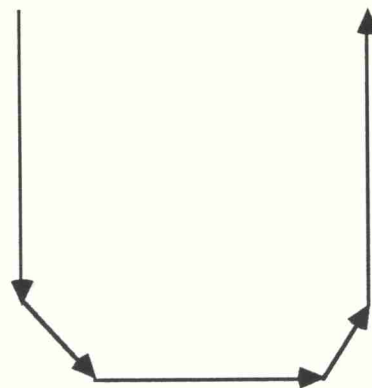
P



(d)



(e)



(f)

Etapas de
la Reconnaissance
UCL-SAIT
Figure 2.2-1

Le système était articulé autour de trois circuits intégrés spécifiques, réalisés en technologie PMOS 8 μm grille Aluminium :

- + la matrice photosensible et les modules de binarisation ;
- + le circuit de cadrage et de prétraitement ;
- + le circuit de détection du contour et de squelettisation.

Ce système souffrait d'imperfections inhérentes à :

- l'algorithme trop simple de binarisation intégré. Les images binarisées des caractères, déjà fortement dégradées par rapport à l'original sur papier, limitaient dès le départ les performances du système complet. De plus, la matérialisation sur silicium de l'algorithme en interdisait toute modification.
- l'algorithme d'extraction des primitives (squelettes et macrocodes) présentait certains inconvénients comme l'élimination des angles droits des caractères, la génération de segments parasites, ...

Les leçons tirées de ce premier système ont été à la base de la définition du second projet OCR du Laboratoire.

2.3. LE LECTEUR DE DOCUMENTS

La philosophie générale de développement et conception du lecteur de documents fut articulée autour de cinq points :

- les applications industrielles d'un crayon-lecteur sont très limitées : enregistrement ponctuel de données, lecture d'étiquettes dans les magasins ou de chèques dans les banques, ... Afin d'étendre les possibilités commerciales du futur produit, le créneau du lecteur de pages a été choisi. La lecture est limitée à des documents de taille maximale A4 et est effectuée avec une résolution de 8 ou 16 points / mm;
- le concept de programmabilité a été introduit. Il permet de modifier aisément les algorithmes suivant les besoins et les particularités des applications industrielles. La matérialisation du lecteur de pages a été orientée vers une programmabilité maximale. A cet effet, le lecteur de documents contient un microprocesseur de contrôle et des circuits spécifiques. Ces derniers réalisent un certain nombre d'opérations élémentaires programmées par le microprocesseur. Le choix des opérations est déterminé dans le cadre d'une stratégie de reconnaissance. L'intérêt des circuits à la demande est d'accélérer fortement le traitement d'un certain nombre d'opérations répétitives, par rapport à une solution classique microprocesseur;
- le lecteur est destiné au traitement de documents en noir et blanc COMPLETS, c'est-à-dire contenant les trois types d'informations : caractères, graphiques et photographies;
- la reconnaissance est de type multifontes et doit être capable de s'adapter, après apprentissage, à une nouvelle fonte de caractères;
- la notion de contexte doit permettre, après reconnaissance des caractères et reconstitutions des mots et des phrases, d'améliorer les performances en vérifiant l'existence des mots et en les modifiant éventuellement suivant un processus de correction statistique.

La figure 2.3-1 présente le schéma général du lecteur de document.

Les diverses parties seront brièvement présentées ci-après.

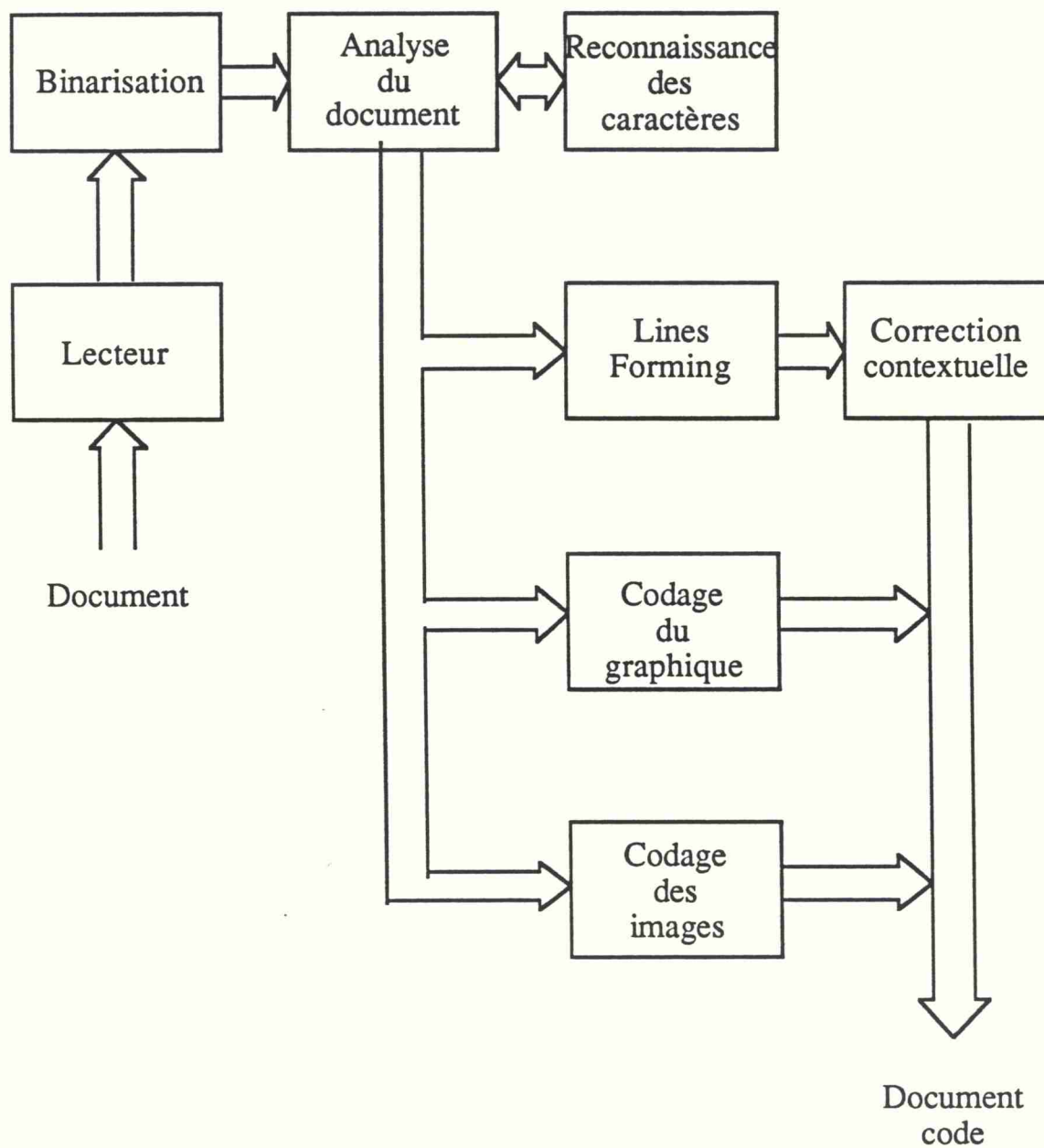


Figure 2.3-1

2.3.1. Le lecteur optique

Le lecteur de page utilisé est un facsimilé commercialisé par la firme PHILIPS & MBLÉ Associated. Le document est introduit dans l'appareil, échantillonné ligne par ligne et à une vitesse constante par une barrette CCD associée à une mécanique, et stocké numériquement en vue des transformations binaires dans une RAM. La résolution du lecteur optique est de 8 points / mm et chaque pixel est décrit sur 6 bits.

2.3.2. Les transformations binaires

Une transformation binaire crée une version binaire du document à partir d'une page numérisée fournie par le lecteur de page. Afin de reproduire correctement sous forme binaire les trois types d'information (caractères, graphiques et photographies), deux transformations binaires distinctes sont effectuées :

- + la première, dite "Binarisation", produit un résultat binaire du document appelé "version binarisée". Le rendu des caractères et graphiques est spécialement recherché dans cette version binarisée du document
- + la seconde, nommée "Transformation en pseudo-gris" ou "Transformation en demi-teintes" dans la littérature, rend correctement les différentes nuances de gris des photographies dans son résultat binaire du document appelé "version pseudo-grise" ou "version en demi-teintes" du document.

La mise en oeuvre du Système de Transformations Binaires fait l'objet de ce travail et sera présentée aux chapitres 4 (Binarisation) et 5 (Transformation en Pseudo-Gris).

2.3.3. L'analyse de documents

Après la double transformation binaire, le document est analysé et classé en deux catégories par l'application d'une fonction de discernement sur ses deux versions binaires : zones "caractères et graphiques" d'une part, et "photographies" d'autre part. Les zones "caractères et graphiques" sont soumises à la segmentation, tandis que les "photographies" sont codées et stockées [Réf. 58].

La définition et l'application de la fonction de discernement, également parties intégrantes de cette thèse, seront présentés au chapitre 6.

2.3.4. La segmentation des caractères

Les zones "caractères et graphiques" sont segmentées afin d'en extraire les images des caractères qui seront envoyées à la reconnaissance. Les caractères non-reconnus, ainsi que les graphiques, sont codés.

Ce travail fait l'objet d'une thèse de doctorat présentée par J.D. Legat (Réf. 19).

2.3.5. La reconnaissance des caractères

Les images de caractères sont analysées, et des informations, appelées "primitives", extraites : longueur des traits, ... Un processus de décision, basé sur ces primitives, aboutit à la reconnaissance ou au rejet du caractère présenté. Le code ASCII du caractère reconnu est généré, tandis que la non-reconnaissance attribue l'étiquette "graphique" à l'image présentée.

Ce travail est partie intégrante d'une thèse de doctorat, présentée par P. De Muelenaere (Réf. 18).

2.3.6. La correction contextuelle

Après reconnaissance des caractères et reconstruction des phrases, une analyse du contexte permet de corriger certaines erreurs comme la substitution de caractères lors de la phase de reconnaissance (<8,B>, <5,S>, ...), ... (Réf.51)

2.4. MATERIAISATION DU LECTEUR DE DOCUMENTS

Un prototype de lecteur de documents a été construit afin de vérifier le bon fonctionnement des processeurs développés. Ce prototype est construit autour d'un microprocesseur MC68000 qui, relié aux différents processeur spécialisés, via un bus VME, contrôle le processus de traitement des documents. L'adjonction d'une mémoire de masse RAM, ainsi que d'un affichage graphique, donne une autonomie totale au prototype.

Trois cartes desservent les trois processeurs spécialisés et assurent la liaison avec le microprocesseur MC68000.

La carte GIAN (Grey Image ANalysis), comprenant le circuit intégré spécifique IMP (IMage Processor), assure la liaison entre le lecteur (sortie numérique à 6 bits par pixel) et la carte DAN (Document ANalysis) (entrée binaire). La carte GIAN assume les fonctions de transformations binaires : binarisation et traitement pseudo-gris du document.

La carte DAN (Document ANalysis), bâtie autour du circuit SEG (Réf. 19), est dédiée à la segmentation de caractères. Elle travaille en collaboration avec le MC68000 pour la reconstruction des lignes après reconnaissance des caractères.

La carte STAN (STructure ANalysis), pourvue du circuit intégré spécifique STAN (Réf. 18) assume la fonction de reconnaissance des caractères.

Les circuits intégrés IMP et STAN, de conceptions identiques, mais de fonctions microprogrammées différentes (voir partie B : Le circuit intégré), sont les résultats d'un effort commun dû à la convergence des spécifications d'un circuit intégré idéal entre les applications de Transformations Binaires et celles de Reconnaissance des Caractères.

La figure 2.4-1 présente le schéma général du prototype.

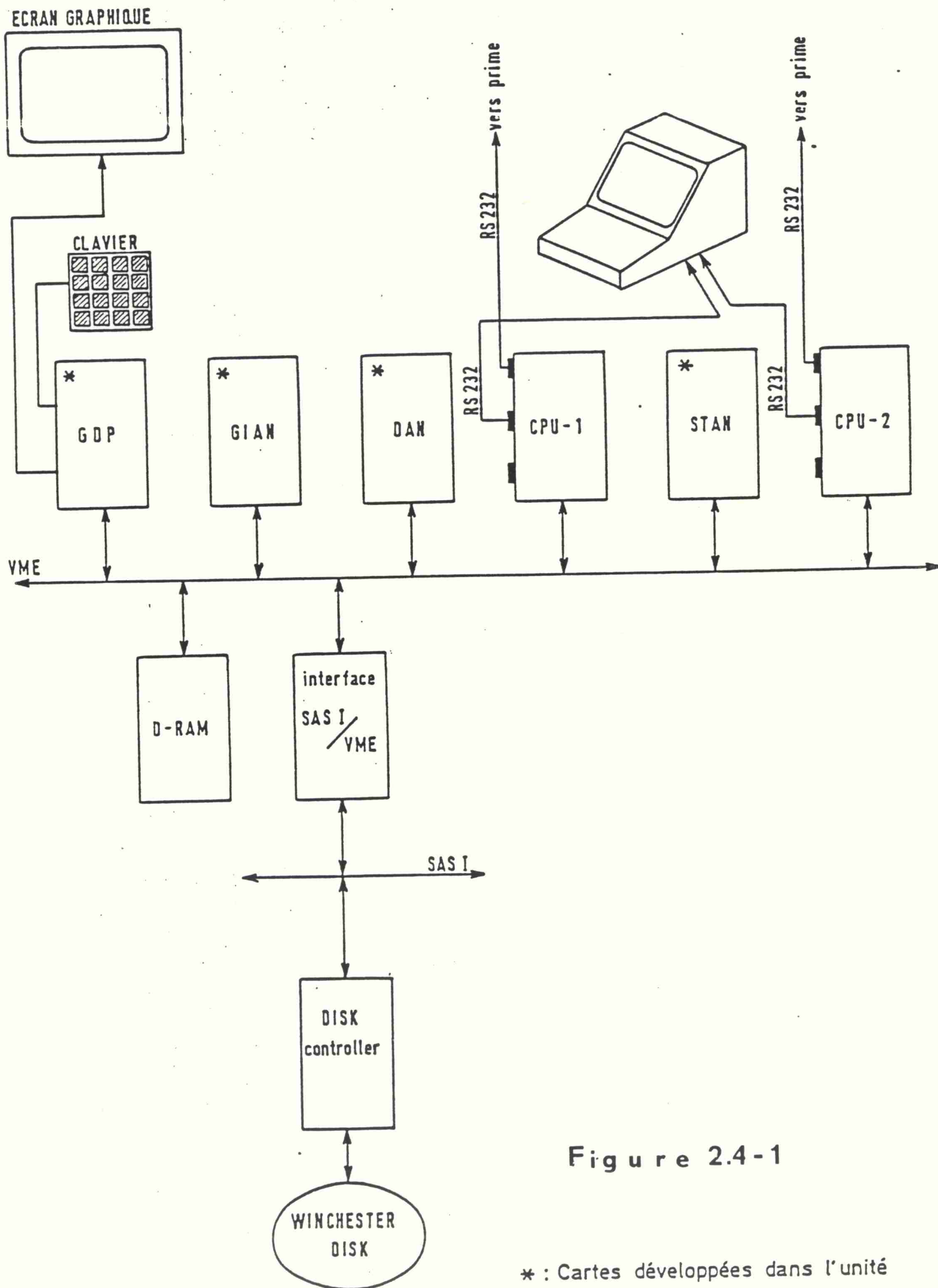


Figure 2.4-1

* : Cartes développées dans l'unité

CHAPITRE 3

LE SYSTEME DE TRANSFORMATIONS BINAIRES.

3.1. INTRODUCTION

La conversion de l'information sous forme grise (numérique) vers une représentation binaire (blanc ou noir, 0 ou 1) est assurée, dans une filière O.C.R., par le "Système de Transformations Binaires".

Cette conversion réduit la quantité d'information à manipuler et simplifie considérablement les processus de segmentation et de reconnaissance.

Les systèmes O.C.R., commercialisés actuellement ne peuvent traiter que des documents uniquement composés de textes et de graphiques.

L'objet de ce chapitre sera l'extension du domaine d'application de l'O.C.R. à des documents complets.

3.2. BINARISATION ET TRANSFORMATION EN PSEUDO-GRIS

Avant de décrire la méthode étudiée de transformations binaires, il est nécessaire de présenter les particularités et les ressemblances des trois types d'information : caractères, graphiques et photographies. Deux familles de transformation binaire seront décrites, chacune dédiée à certains types d'informations :

- la Binarisation pour les caractères et les graphiques,
- la Transformation en pseudo-gris (ou demi-teintes) pour les photographies.

3.2.1. Binarisation

L'information utile des caractères et des graphiques est contenue dans le contraste blanc/noir existant entre les traits d'encre et le fond blanc du document. Il est facile de le montrer à l'aide d'un histogramme. Ce dernier est un graphe reprenant en abscisse les niveaux de gris (0 à 63 pour 6 bits de description des pixels) qui vont de blanc (gauche) vers noir (droite), et en ordonnée le nombre de pixels qui occupent un même niveau de gris.

L'histogramme typique d'un document contenant uniquement des caractères et des graphiques, montre une courbe composée de deux pics principaux d'occupation (maximums) reliés par une vallée (minimum) (Fig. 3.2.1-1).

La quasi-totalité des pixels est rassemblée dans deux intervalles étroits de valeurs de niveaux de gris : les pixels "blancs" formant le fond du document sont repris dans le pic gauche, et les pixels "noirs" constituant l'information dans le pic droit. La dispersion des pixels autour des deux pics est due à l'inhomogénéité :

- des caractéristiques des photocellules de la barrette CCD,
- de l'intensité lumineuse sur toute la largeur du document,
- de la réflexion du papier,
- qualité d'impression, netteté, ...

Cette double localisation préférentielle se prête bien à des algorithmes de transformation binaire comme ceux de binarisation utilisés dans les systèmes classiques de reconnaissance de caractères multiformes, basés sur une méthode de seuil : le seuil, "judicieusement" placé dans la vallée, va séparer le fond (partie gauche; décision blanche 0), des caractères et des graphiques (partie droite; décision noire 1) (Fig. 3.2.1-1). La position "judicieuse" du seuil sera abordée au chapitre suivant.

3.2.2. Transformation en demi-teintes

L'information photographique réside dans une succession de teintes grises et non dans un contraste unique entre zones blanches et noires. Les histogrammes de photographies indiquent la présence d'une plage d'occupation de valeurs grises par les pixels (Fig. 3.2.2-1), ce qui est en accord avec la nature de l'information photographique .

L'application d'une transformation binaire, comme la binarisation précédemment présentée, a pour résultat une perte substantielle de l'information photographique . Cette dégradation de l'information photographique lors d'une binarisation est appelée "effet Frankenstein" (Réf. 1 , 24) : les parties grises de la photographie, dont les valeurs grises sont supérieures à un seuil, donnent une décision binaire noire, tandis que les autres sont déclarées blanches; l'information photographique est détruite.

Les figures 3.2.2-2 et 3 présentent l'original et la version binarisée (Source Philips & MBLE Ass.) d'une page de magazine. L'effet Frankenstein y est bien visible dans les trois photographies du document binarisé.

Une transformation binaire particulière s'avère indispensable afin de maintenir le contenu visuel de l'information photographique dans le résultat binaire. Le chapitre 4 est réservé à sa présentation.

La figure 3.2.2-4 montre la version binaire pseudo-grise du document 3.2.2-2 (Source Philips & MBLE Ass.). On y constate le bon maintien de l'information photographique obtenu au détriment de la qualité des caractères et des graphiques.

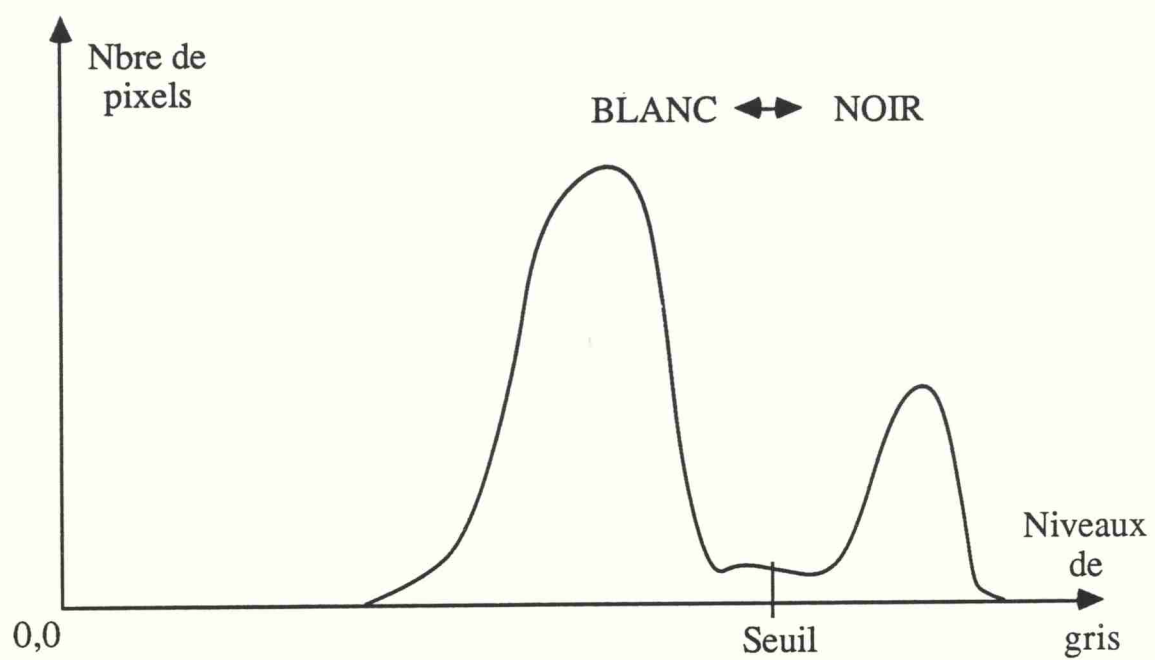


Figure 3.2.1-1 : histogramme typique de caractères.

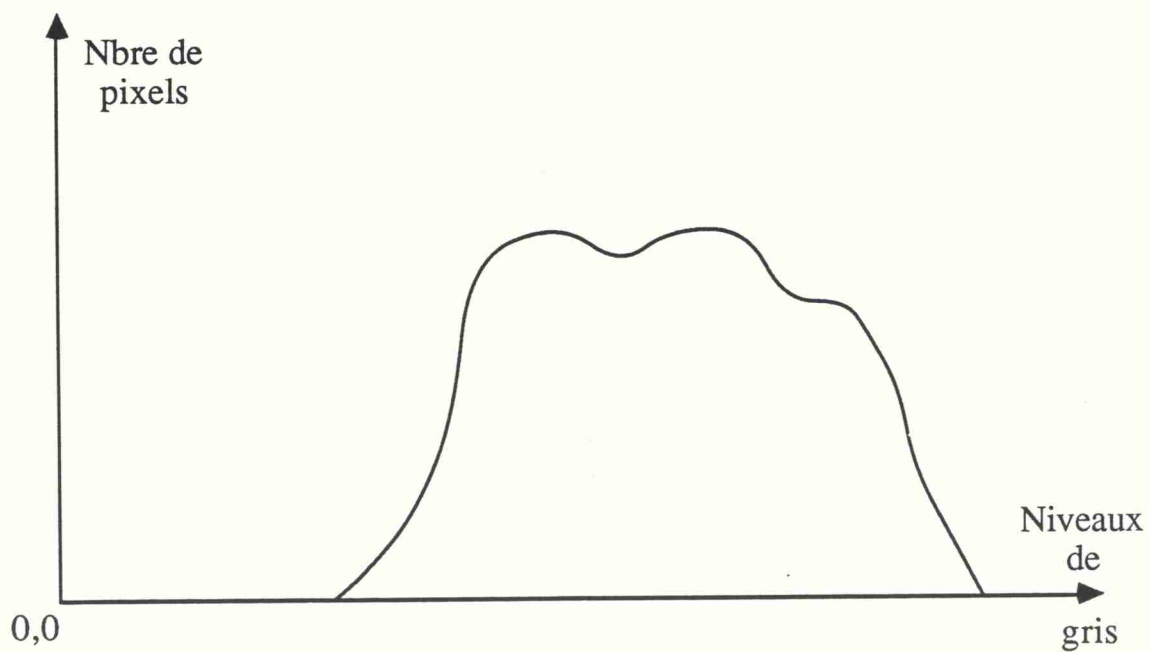
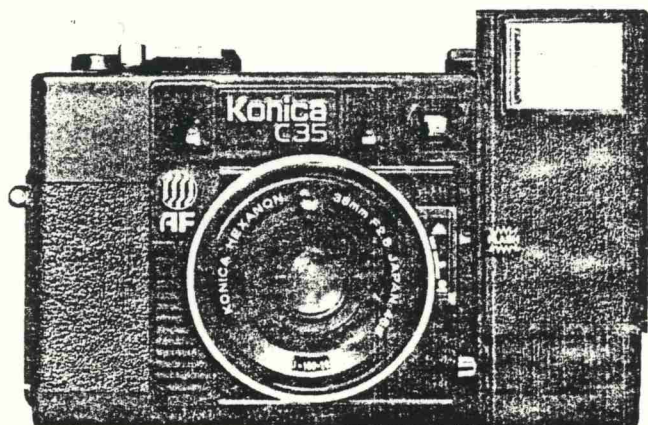


Figure 3.2.2-1 : histogramme typique de photographies.

THROUGH THE VIEWFINDER

By EVERETT H. ORTNER



At last: automatic focusing

Flip the film-advance lever of the Konica C35AF camera, and you have not only advanced the film 38 mm and cocked the shutter—you have also moved the lens forward to its point of closest focus and wound up a spring that, at this moment, exists on no other camera on the market.

Released when you press the shutter-release button, the spring rotates a rangefinder mirror that simultaneously scans the scene at which the Konica is aimed and moves the lens backward. The movement halts when an electronic module built into the camera tells it that the lens is in focus. Only then, within the 100 milliseconds (1/10 second) that a full scan from nearest focus to infinity would take, does the shutter open to take the picture.

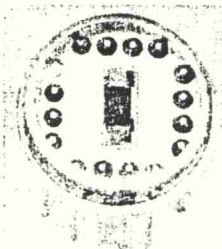
The device that makes this automatic-focusing system possible is the Visitronic Auto-Focus (VA/F) module, designed, manufactured, and marketed by Honeywell. It is the product of 10 years' work by Honeywell scientist Norman L. Stauffer and a small group of engineers. (Stauffer is also the man who, in 1964, invented the slide-projector auto-focus system that is still in use on several projectors, including the Kodak Carousel.)

Two years ago Honeywell invited camera manufacturers to take a look—for an "advance-disclosure" fee of \$50,000—at its module. The \$50,000 bought technical information, technical support, some sample modules, and the right to buy still more modules from Honeywell. Thirteen manufacturers have now joined the program, reports Ron Brown, Honeywell's marketing manager. Four of them showed prototype auto-focusing units at Photokina, the German

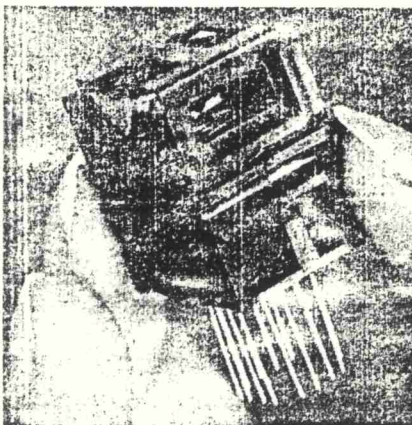
photography exposition, last fall: three movie cameras (Eu-mig, Elmo, and San-kyo) and an SLR zoom lens (Asahi).

The dimensions of Honeywell's success can be gauged by the fact that although both Nikon [PS, Aug. '71] and Canon announced auto-focusing systems, neither got beyond prototypes. Konica deserves credit, too, for being first off the starting line with a production camera. "That Visitronic system has been around for a long time," says Peter Ildau, vice president of Konica Camera Co., "but we're the first to put it in a camera." That took some doing. The camera hardware—a spring motor—is almost as ingenious as the auto-focusing module.

With the Visitronic system in the Konica C35AF, focusing is as simple and automatic as exposing the film with an auto-exposure system. When you advance the film, you rack the lens to its most forward position. When you press the shutter release, the spring motor racks the lens rearward until it is in

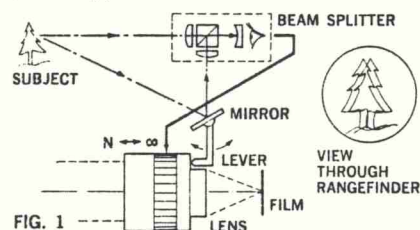


IC sensor (left) plugs into Auto-Focus module (below). Its two light-sensitive detectors can be seen in rectangular panel in center of sensor.



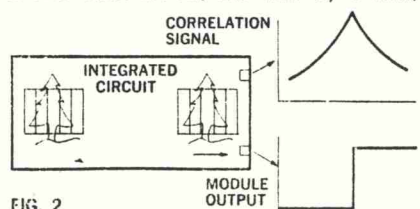
focus. It's probably nothing that will ever bother you, but you can't take a picture with the object in the center out of focus. There is no way to override the automatic focusing.

The auto-focus carries over into flash. With the Konica's built-in electronic flash up (in shooting position), the camera first focuses, then sets the lens aperture based on point of focus, then checks the focus, then fires. A pointer at the side of the lens, linked to it mechanically, shows if the focusing system is working. At top is a symbol of a mountain (infinity); at bottom, of a head (close-up).



To see how the Visitronic module does its job, look first at a conventional coincident-image rangefinder (Fig. 1). Its optical system produces two superimposed images of the subject as seen from slightly displaced points (windows in camera). When the mirror (and with it, typically in a modern camera, the lens) has been adjusted so that the two images are exactly superimposed, the lens is in focus.

Now suppose that instead of the elements in Fig. 1's dotted box (beam splitter and eye), you had an integrated circuit (IC) that could sense the matched-image relationship. Fig. 2 shows such an IC, 2.5 mm by 6 mm,



with two light-sensitive detector areas. The IC compares the images that fall on the two detectors and produces an output voltage, called a correlation signal, that is greatest when the two images are most alike. Thus if one image were to move across the detector area (arrow), a correlation-signal peak would be reached the instant the images were in identical positions. At the same time, the IC would produce a step-function voltage change that, with external control circuitry, would control the position of the lens.

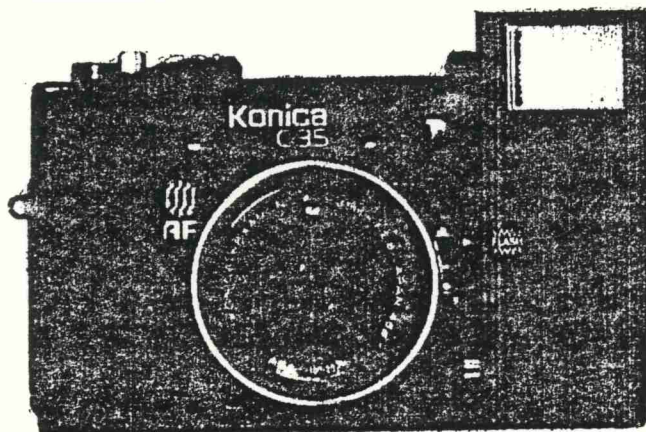
Fig. 3 shows, diagrammatically, the major elements of the Visitronic module: an optical system and the IC. Mirrors—one fixed, one moving—outside the module form the optical base of the rangefinder system. (The farther apart, the more accurate the system.) The prism in the module directs the two images through plastic lenses to the IC's light detectors.

In Fig. 4, we've got it all together: module, mirror system, and subject. The

Continued

THROUGH THE VIEWFINDER

By EVERETT H. ORTNER



At last: automatic focusing

Flip the film-advance lever of the Konica C35AF camera, and you have not only advanced the film 38 mm and cocked the shutter—you have also moved the lens forward to its point of closest focus and wound up a spring that, at this moment, exists on no other camera on the market.

Released when you press the shutter-release button, the spring rotates a rangefinder mirror that simultaneously scans the scene at which the Konica is aimed and moves the lens backward. The movement halts when an electronic module built into the camera tells it that the lens is in focus. Only then, within the 100 milliseconds (1/10 second) that a full scan from nearest focus to infinity would take, does the shutter open to take the picture.

The device that makes this automatic-focusing system possible is the Visltronic Auto-Focus (VA/F) module, designed, manufactured, and marketed by Honeywell. It is the product of 10 years' work by Honeywell scientist Norman L. Stauffer and a small group of engineers. (Stauffer is also the man who, in 1964, invented the slide-projector auto-focus system that is still in use on several projectors, including the Kodak Carousel.)

Two years ago Honeywell invited camera manufacturers to take a look—for an "advance-disclosure" fee of \$50,000—at its module. The \$50,000 bought technical information, technical support, some sample modules, and the right to buy still more modules from Honeywell. Thirteen manufacturers have now joined the program, reports Ron Brown, Honeywell's marketing manager. Four of them showed prototype auto-focusing units at Photokina, the German

photography exposition, last fall: three movie cameras (Eumig, Elmo, and Sanyo) and an SLR zoom lens (Asahi).

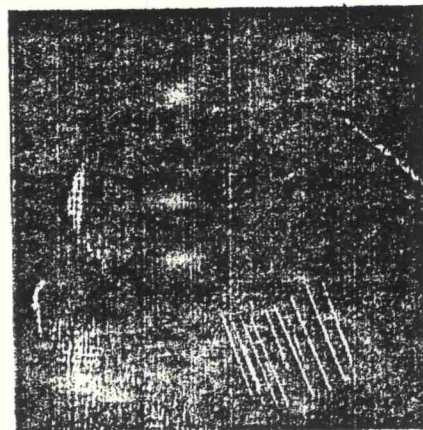
The dimensions of Honeywell's success can be gauged by the fact that although both Nikon [PS, Aug. '71] and Canon announced auto-focusing systems, neither got beyond prototypes. Konica deserves credit, too, for being first off the

starting line with a production camera. "That Visltronic system has been around for a long time," says Peter Ildau, vice president of Konica Camera Co., "but we're the first to put it in a camera." That took some doing. The camera hardware—a spring motor—is almost as ingenious as the auto-focusing module.

With the Visltronic system in the Konica C35AF, focusing is as simple and automatic as exposing the film with an auto-exposure system. When you advance the film, you rack the lens to its most forward position. When you press the shutter release, the spring motor racks the lens rearward until it is in

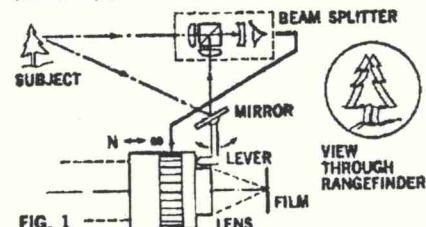


IC sensor (left), plugs into Auto-Focus module (below). Its two light-sensitive detectors can be seen in rectangular panel in center of sensor.



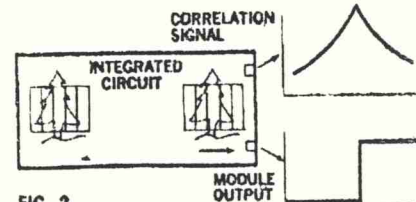
focus. It's probably nothing that will ever bother you, but you can't take a picture with the object in the center out of focus. There is no way to override the automatic focusing.

The auto-focus carries over into flash. With the Konica's built-in electronic flash up (in shooting position), the camera first focuses, then sets the lens aperture based on point of focus, then checks the focus, then fires. A pointer at the side of the lens, linked to it mechanically, shows if the focusing system is working. At top is a symbol of a mountain (infinity); at bottom, of a head (close-up).



To see how the Visltronic module does its job, look first at a conventional coincident-image rangefinder (Fig. 1). Its optical system produces two superimposed images of the subject as seen from slightly displaced points (windows in camera). When the mirror (and with it, typically in a modern camera, the lens) has been adjusted so that the two images are exactly superimposed, the lens is in focus.

Now suppose that instead of the elements in Fig. 1's dotted box (beam splitter and eye), you had an integrated circuit (IC) that could sense the matched-image relationship. Fig. 2 shows such an IC, 2.5 mm by 8 mm,



with two light-sensitive detector areas. The IC compares the images that fall on the two detectors and produces an output voltage, called a correlation signal, that is greatest when the two images are most alike. Thus if one image were to move across the detector area (arrow), a correlation-signal peak would be reached the instant the images were in identical positions. At the same time, the IC would produce a step-function voltage change that, with external control circuitry, would control the position of the lens.

Fig. 3 shows, diagrammatically, the major elements of the Visltronic module: an optical system and the IC. Mirrors—one fixed, one moving—outside the module form the optical base of the rangefinder system. (The farther apart, the more accurate the system.) The prism in the module directs the two images through plastic lenses to the IC's light detectors.

In Fig. 4, we've got it all together: module, mirror system, and subject. The

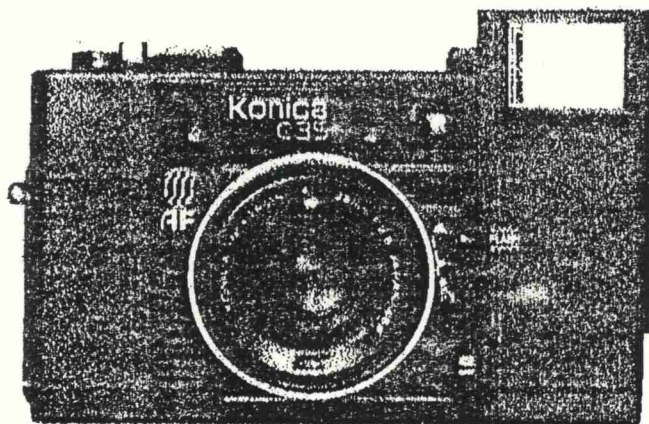
Continued

Doc 2.4

Figure 3.2.2 - 3

THROUGH THE VIEWFINDER

By EVERETT H. ORTNER



At last: automatic focusing

Flip the film-advance lever of the Konica C35AF camera, and you have not only advanced the film 38 mm and cocked the shutter—you have also moved the lens forward to its point of closest focus and wound up a spring that, at this moment, exists on no other camera on the market.

Released when you press the shutter-release button, the spring rotates a rangefinder mirror that simultaneously scans the scene at which the Konica is aimed and moves the lens backward. The movement halts when an electronic module built into the camera tells it that the lens is in focus. Only then, within the 100 milliseconds (1/10 second) that a full scan from nearest focus to infinity would take, does the shutter open to take the picture.

The device that makes this automatic-focusing system possible is the Visitronic Auto-Focus (VA/F) module, designed, manufactured, and marketed by Honeywell. It is the product of 10 years' work by Honeywell scientist Norman L. Stauffer and a small group of engineers. (Stauffer is also the man who, in 1964, invented the slide-projector auto-focus system that is still in use on several projectors, including the Kodak Carousel.)

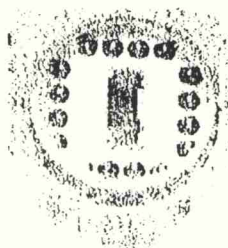
Two years ago Honeywell invited camera manufacturers to take a look for an "advance-disclosure" fee of \$50,000—at its module. The \$50,000 bought technical information, technical support, some sample modules, and the right to buy still more modules from Honeywell. Thirteen manufacturers have now joined the program, reports Ron Brown, Honeywell's marketing manager. Four of them showed prototype auto focusing units at Photokina, the German

photography exposition, last fall: three movie cameras (Eumig, Elmo, and San-kyo) and an SLR zoom lens (Asahi).

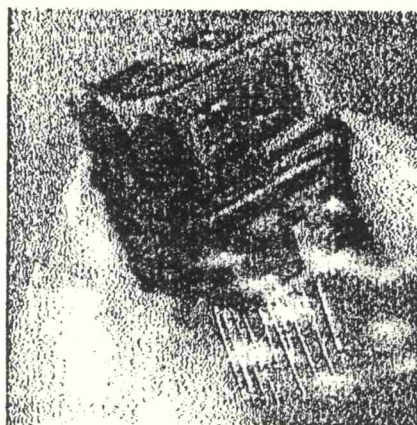
The dimensions of Honeywell's success can be gauged by the fact that although both Nikon [PS, Aug. '71] and Canon announced auto-focusing systems, neither got beyond prototypes. Konica deserves credit, too, for being first off the

starting line with a production camera. "That Visitronic system has been around for a long time," says Peter Ildau, vice president of Konica Camera Co., "but we're the first to put it in a camera." That took some doing. The camera hardware—a spring motor—is almost as ingenious as the auto-focusing module.

With the Visitronic system in the Konica C35AF, focusing is as simple and automatic as exposing the film with an auto-exposure system. When you advance the film, you rack the lens to its most forward position. When you press the shutter release, the spring motor racks the lens rearward until it is in



IC sensor (left) plugs into Auto-Focus module (below). Its two light-sensitive detectors can be seen in rectangular panel in center of sensor.



focus. It's probably nothing that will ever bother you, but you can't take a picture with the object in the center out of focus. There is no way to override the automatic focusing.

The auto-focus carries over into flash. With the Konica's built-in electronic flash up (in shooting position), the camera first focuses, then sets the lens aperture based on point of focus, then checks the focus, then fires. A pointer at the side of the lens, linked to it mechanically, shows if the focusing system is working. At top is a symbol of a mountain (infinity); at bottom, of a head (close-up).

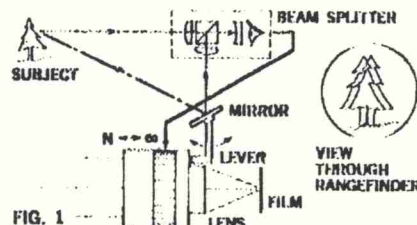


FIG. 1

To see how the Visitronic module does its job, look first at a conventional coincident-image rangefinder (Fig. 1). Its optical system produces two superimposed images of the subject as seen from slightly displaced points (windows in camera). When the mirror (and with it, typically in a modern camera, the lens) has been adjusted so that the two images are exactly superimposed, the lens is in focus.

Now suppose that instead of the elements in Fig. 1's dotted box (beam splitter and eye), you had an integrated circuit (IC) that could sense the matched-image relationship. Fig. 2 shows such an IC, 2.6 mm by 8 mm,

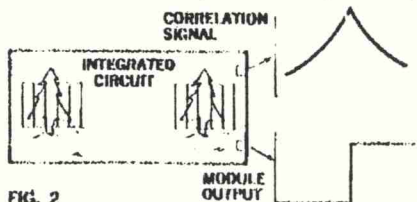


FIG. 2

with two light-sensitive detector areas. The IC compares the images that fall on the two detectors and produces an output voltage, called a correlation signal, that is greatest when the two images are most alike. Thus if one image were to move across the detector area (arrow), a correlation-signal peak would be reached the instant the images were in identical positions. At the same time, the IC would produce a step-function voltage change that, with external control circuitry, would control the position of the lens.

Fig. 3 shows, diagrammatically, the major elements of the Visitronic module: an optical system and the IC. Mirrors—one fixed, one moving—out slide the module form the optical base of the rangefinder system. (The farther apart, the more accurate the system.) The prism in the module directs the two images through plastic lenses to the IC's light detectors.

In Fig. 4, we've got it all together: module, mirror system, and subject. The

Continued

3.3. CONCLUSIONS : LE SYSTEME DE TRANSFORMATIONS BINAIRES.

Le Système de Transformations Binaires est le résultat et le fruit de trois années de recherche et de développement dans le domaine du traitement des documents complets.

La méthode retenue s'appuie sur deux transformations binaires du document effectuées en parallèle : la première est une binarisation, et la seconde, une transformation en demi-teintes ou en pseudo-gris.

Les deux versions binaires du document, la première appelée "version binarisée" et la seconde "version pseudo-grise", sont utilisées pour définir et déterminer les zones du document occupées par les caractères, les graphiques et les photographies.

L'algorithme de différenciation développé permet de séparer les caractères et les graphiques d'une part, et les zones de photographies d'autre part. Il s'appuie sur une corrélation entre les deux versions binaires des documents. Sa description fera l'objet du chapitre A.6. Après différenciation, le traitement réservé aux zones binaires diffère suivant leurs contenus :

- segmentation dans la page binarisée, reconnaissance et reconstitution des lignes pour les caractères,
- segmentation dans la page binarisée et codage (Run Length Coding) pour les graphiques et les caractères non reconnus,
- extraction de la page pseudo-grise et codage pour les photographies.

La fig. 3.3-1 reprend les différentes étapes présentées ci-dessus.

Les transformations spécifiques appliquées aux documents feront l'objet des chapitres A.4 (Binarisation) et A.5 (Transformation en pseudo-gris).

Il est important de signaler l'existence d'algorithmes de transformation binaire, donnant de bons résultats visuels pour les trois types d'information, dans une seule et même version binaire du document (Réf. 8, 14). Deux raisons ont justifié leur rejet :

- ces algorithmes demandent un nombre élevé d'opérations arithmétiques, et imposent, par conséquent, un faible débit de conversion binaire des documents;
- la discrimination caractères/graphiques, d'une part, et photographies d'autre part, s'avère très compliquée et peu performante au départ de la version binaire unique du document.

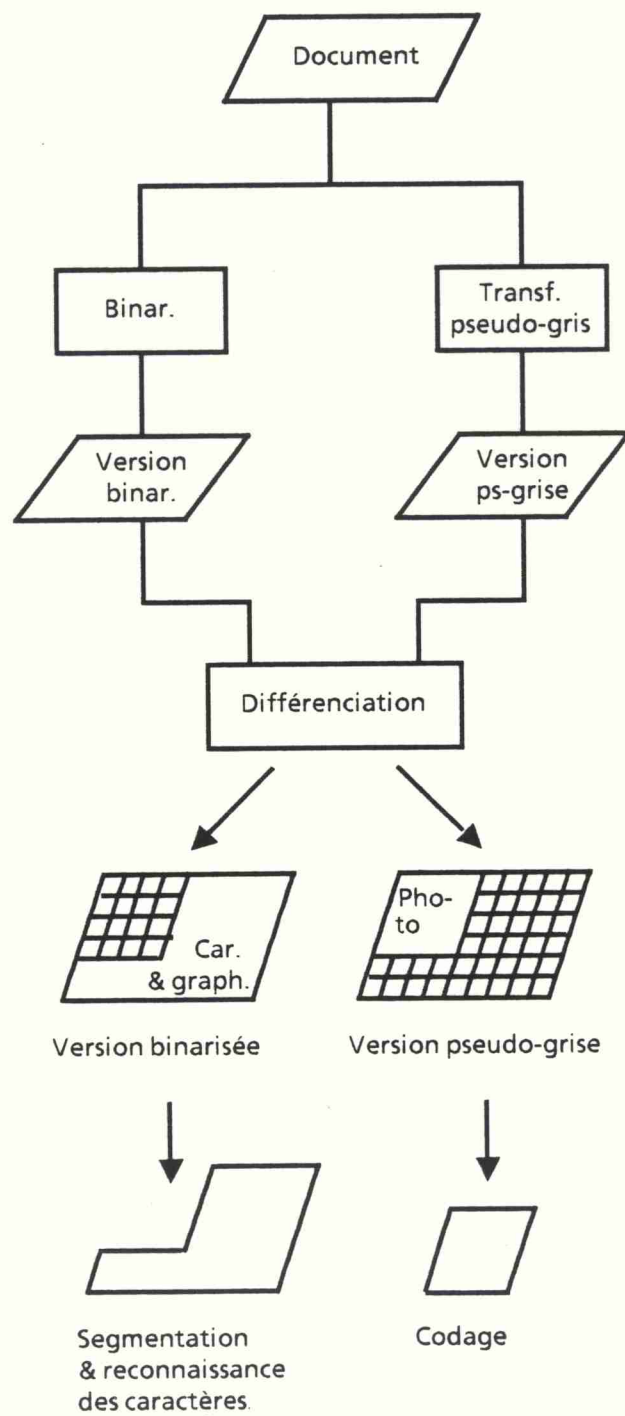


Figure 3.3-1

CHAPITRE 4

BINARISATION.

4.1. INTRODUCTION

L'étape de binarisation est d'une grande importance dans un système O.C.R., vu son rôle de charnière entre le lecteur et le système de reconnaissance. Le but d'un système de reconnaissance étant de réduire la quantité d'information manipulée, en remplaçant l'image d'un caractère par son code ASCII, il convient de maximiser l'efficacité du processeur de reconnaissance en lui présentant des images binaires de caractères aussi parfaites que possible. En effet, la dégradation de l'image d'un caractère, lors de la binarisation, peut s'accompagner d'une augmentation du taux de rejet (non reconnaissance) ou de substitution (confusion entre deux caractères : <0, O>, <5,S>, <8,B>, ...) lors de l'étape de reconnaissance. Au niveau des zones graphiques, une binarisation de mauvaise qualité peut entraîner la disparition de traits fins (lignes ou hachures) ou la fusion de traits parallèles rapprochés.

Dans la recherche d'algorithmes de binarisation, la priorité a été donnée à un rendu maximal des caractères et des graphiques, au détriment de celui des photographies. Pour la transformation en pseudo-gris présentée au chapitre 5, l'accent sera porté sur le rendu des photographies.

Les critères de comparaison qui seront employés par la suite pour qualifier, juger et comparer les algorithmes de binarisation, sont les suivants (Réf. 5) :

- lisibilité.

Une méthode de binarisation sera dite plus "lisible" qu'une autre, si elle s'accompagne d'un taux de reconnaissance plus élevé que cette autre méthode. Le critère de lisibilité est utilisé de la manière suivante :

- . binarisation du document avec le premier algorithme,
- . binarisation du document avec le second algorithme,
- . segmentation et reconnaissance (dans les mêmes conditions software et hardware) des caractères sur les deux documents binarisés, puis détermination du taux de reconnaissance lié à chaque document binarisé et son algorithme de binarisation associé,
- . comparaison des taux de reconnaissance.

L'algorithme de binarisation, à l'origine du document binarisé ayant donné le plus haut taux de reconnaissance des caractères, est dit plus lisible que l'autre.

- vitesse.

Le système adopté ne doit pas ralentir la chaîne O.C.R. : il doit être transparent. La comparaison entre les deux algorithmes est basée également sur le temps d'exécution par le circuit intégré spécifique développé (avec son architecture et ses ressources).

- automaticité.

Le système de traitement binaire devant être d'une grande souplesse pour l'utilisateur, le nombre de paramètres externes de réglage doit être réduit au maximum.

Les algorithmes décrits dans ce chapitre, ont été développés en vue d'une intégration sur silicium. A cet effet, un accent tout particulier a été mis sur le choix des opérations de base en fonction de leur matérialisation : addition, soustraction, multiplication et division par une puissance de 2, ...

La cadence de lecture des documents (un A4 toutes les 10 ... 20 secondes) a directement influencé le choix des algorithmes (nombre réduit d'opérations) et de l'architecture du circuit (parallélisme interne). Des algorithmes de binarisation "rapides" ont été développés, et leur efficacité testée au niveau performance par des exécutions de cycles complets Binarisation - Segmentation - Reconnaissance.

4.2. ALGORITHMES DEVELOPPES : SURVOL

Deux algorithmes de binarisation vont être présentés ci-après. Leurs rôles et leurs caractéristiques propres les rendent complémentaires, plutôt que concurrents.

Le premier algorithme (Binarisation avec seuil adaptatif, gradient et hystérèse) autorise un débit élevé de traitement, vu le petit nombre d'opérations arithmétiques nécessaires à la binarisation d'un pixel : son domaine d'application privilégié est la binarisation "haut débit" de documents contrastés ou de bonne qualité d'impression.

Le second algorithme (Binarisation avec Laplacien et hystérèse adaptée) nécessite un nombre plus important d'opérations par pixel : la haute qualité de son résultat le destine à la binarisation de documents dégradés.

Ces deux algorithmes seront implantés dans le Système de Transformations Binaires. Le choix de l'algorithme utilisé est manuel . L'opérateur, au vu de la qualité du document qu'il présente au lecteur, décide d'utiliser directement l'un ou l'autre des algorithmes

4.3. BINARISATION AVEC SEUIL ADAPTATIF, GRADIENT ET HYSTERESE

La base de cet algorithme est un développement fait lors du travail de fin d'étude (Réf.5) sur la conception d'une matrice photosensible intégrée réalisant une binarisation "On-chip" de l'image. La transposition de cet algorithme au contexte particulier du lecteur de document, ainsi que la mise en oeuvre d'un traitement numérique spécifique à l'introduction du seuil adaptatif sont parties intégrantes de ce travail.

Les différentes étapes parcourues dans la définition de l'algorithme de binarisation avec seuil adaptatif, gradient et hystérèse sont présentées ci-dessous.

4.3.1. Binairisation avec seuil fixe

Cet algorithme se base sur une comparaison entre la valeur grise du pixel traité et une référence fixe appelée "seuil".

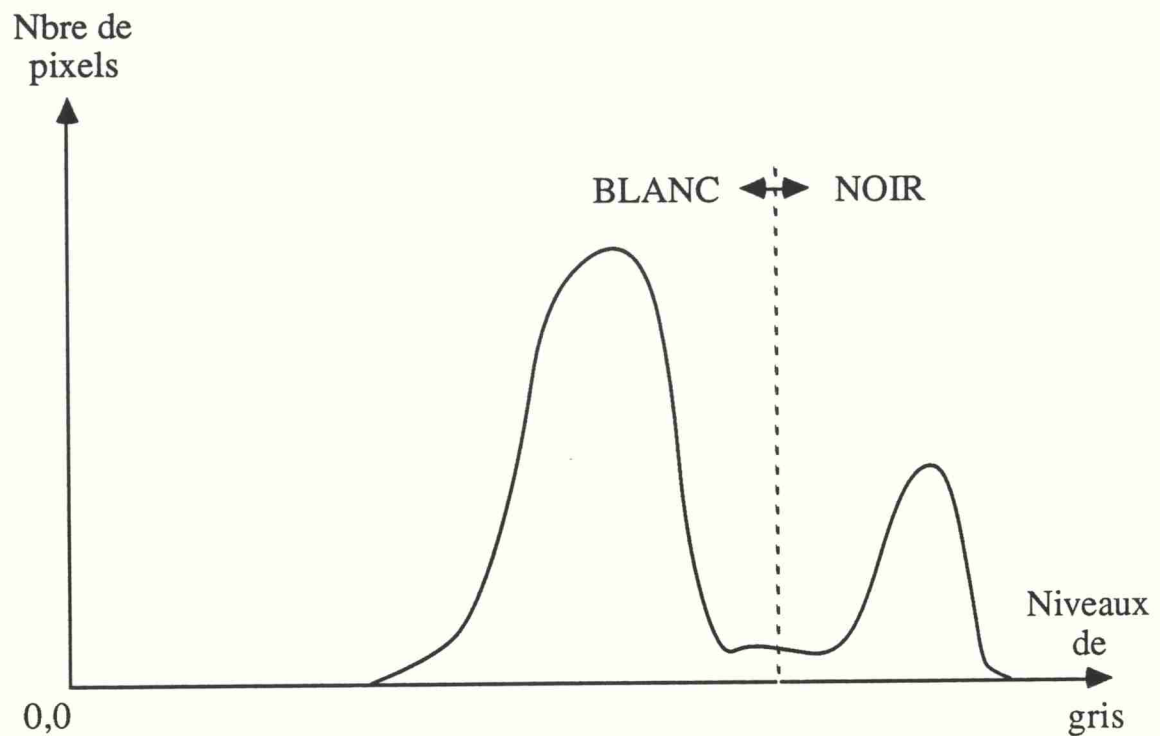
Cet algorithme simple et rudimentaire ne se révèle efficace que pour des documents fort contrastés et dont les positions des deux pics dans l'histogramme sont bien connues : le seuil est placé dans la vallée entre les deux pics

- blanc (fond de papier) et
- noir (encre) (Fig. 4.3.1-1).

Une simple comparaison détermine la nature binaire du pixel : Blanc ou Noir suivant que la valeur grise du pixel est inférieure ou supérieure à celle du seuil (Fig. 4.3.1-2).

Critique :

La position des pics dépendant de nombreux facteurs extérieurs (intensité des sources de lumière, type et réflexion du papier, encre utilisée, ...), il n'est pas possible de déterminer, à priori, la position exacte du seuil. Cette solution ne peut être retenue sous cette forme simple dans le cadre d'un processus automatique.



Histogramme typique de caractères et graphiques

Figure 4.3.1-1

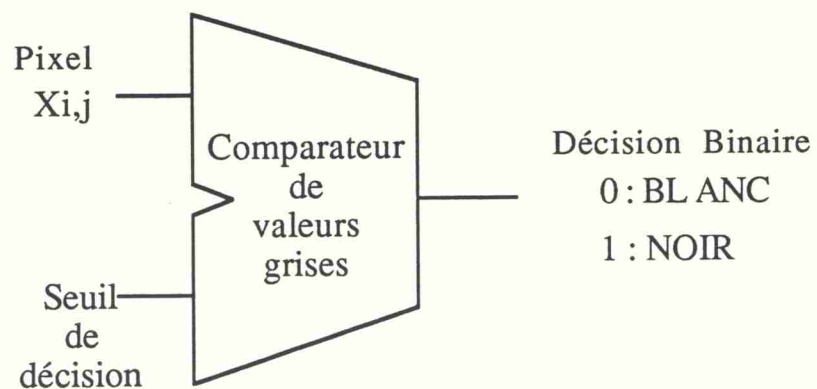


Figure 4.3.1-2

4.3.2. Binarisation avec gradient

Cet algorithme est typique du domaine de la reconnaissance des formes et plus particulièrement de la détection des contours. Il permet de repérer une transition entre deux pixels gris supérieure à une amplitude donnée, suivant une direction d'analyse fixée.

L'adjonction d'une mémoire d'état binaire conserve la décision binaire associée au pixel précédemment analysé. Le calcul de la valeur du gradient du pixel et la connaissance de la décision binaire précédente, déterminent l'état binaire du pixel analysé.

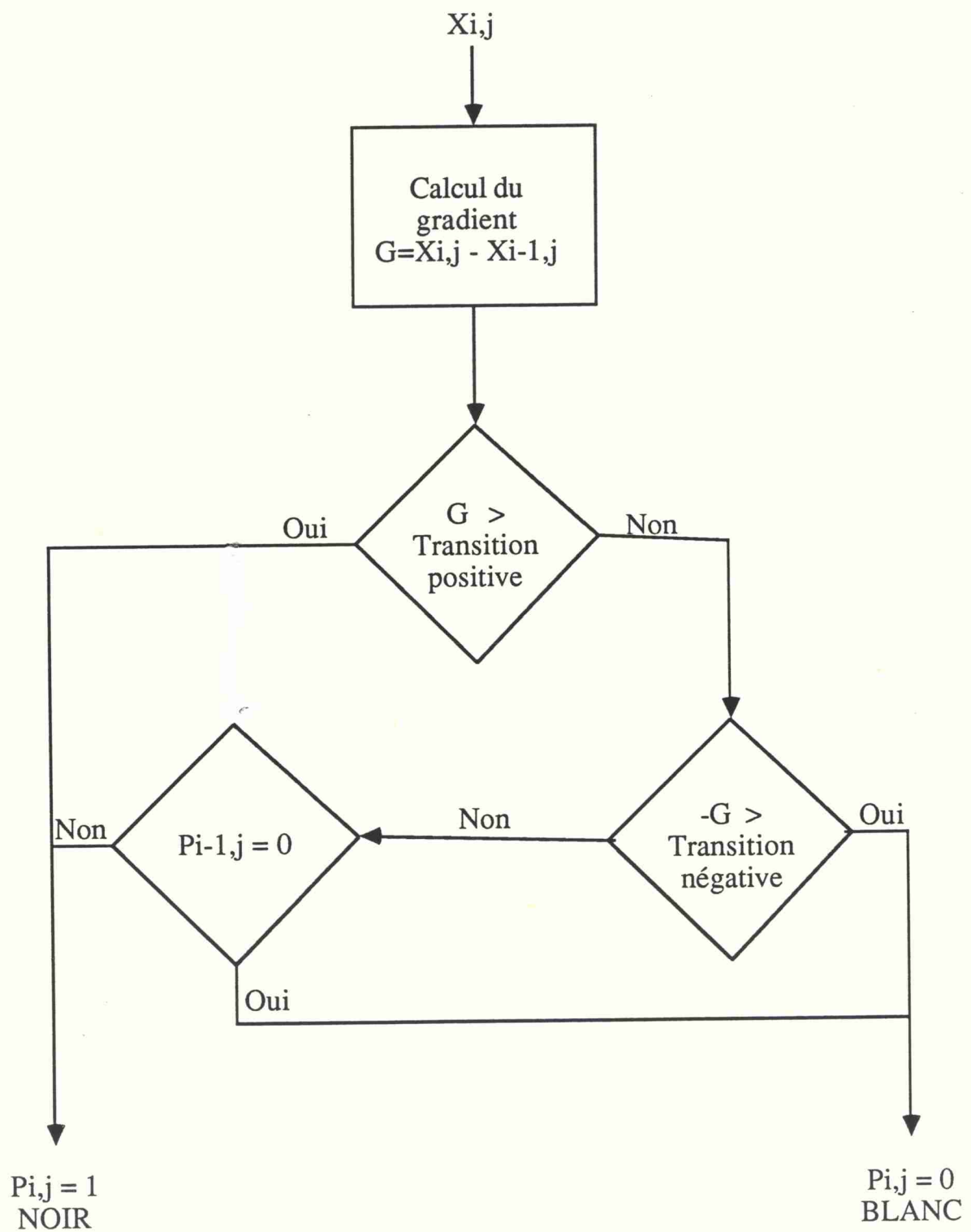
Cinq cas sont à envisager :

- pas de transition détectée. La valeur binaire du pixel est la même que celle du pixel précédent,
- transition positive détectée et décision binaire précédente "1". La valeur binaire du pixel est aussi "1",
- transition positive détectée et décision binaire précédente "0". La valeur binaire du pixel devient "1",
- transition négative détectée et décision binaire précédente "0". La valeur binaire du pixel est aussi "0",
- transition négative détectée et décision binaire précédente "1". La valeur binaire du pixel devient "0".

La figure 4.3.2-1 reprend le principe de fonctionnement de cet algorithme dans le cas d'un gradient unidimensionnel.

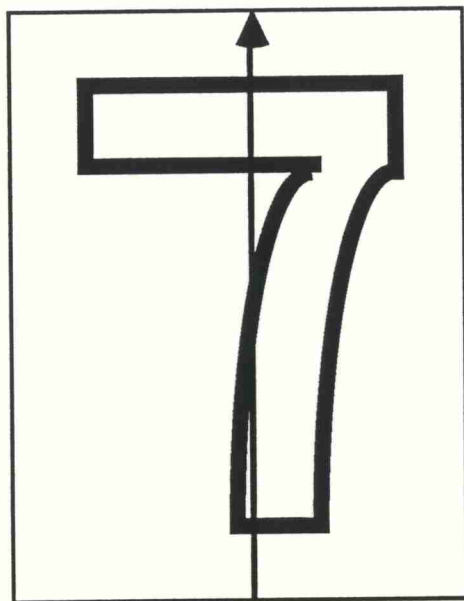
Critique :

Lors d'un passage lent (étendu sur plusieurs pixels) d'un niveau extrême à un autre (Noir vers Blanc ou vice-versa), la faible valeur des gradients successifs ne permet pas de détecter une transition d'état : la même décision binaire est conservée et une barre parasite est introduite dans le résultat binarisé. Cet inconvénient n'est pas lié au contraste existant entre les zones blanches et noires, mais dépend du sens de progression de la binarisation dans le document et de la pente rencontrée lors d'une transition. La figure 4.3.2-2 illustre la génération d'une barre parasite dans le résultat binarisé. La flèche dans la figure 4.3.2-2a indique le sens de progression de la binarisation dans la colonne de pixels à l'origine de la barre parasite. Les figures 4.3.2-2b, c et d donnent les valeurs grises, les gradients et les décisions binaires des pixels de cette colonne de l'image. La barre parasite engendrée est bien visible sur le résultat binarisé de la fig. 4.3.2-2e.

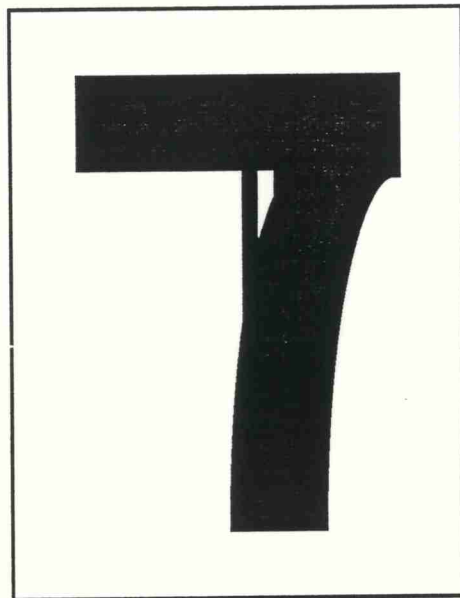


Algorithme de décision : Binarisation avec Gradient

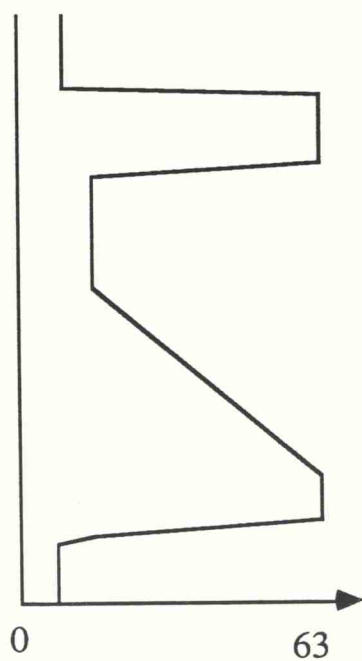
Figure 4.3.2-1



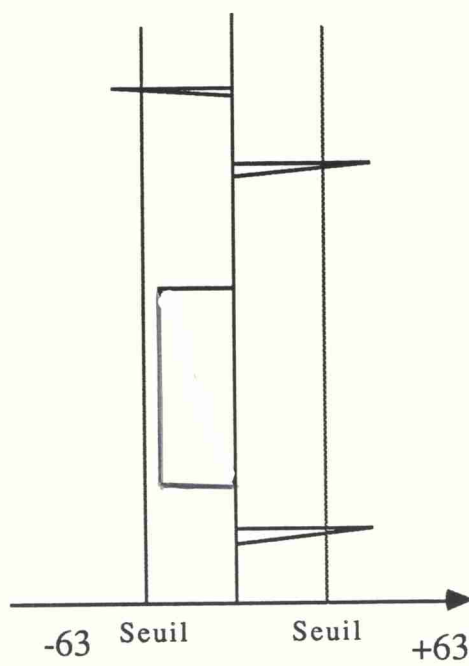
Caractère gris
(a)



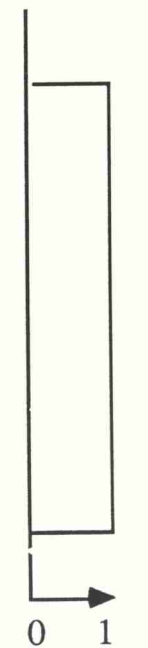
Caractère binarisé
(e)



Niveau de gris
(b)



Gradient
(c)



Decision binaire
(d)

Binarisation avec gradient
Figure 4.3.2-2

4.3.3. Binarisation avec seuil et gradient

La combinaison des deux algorithmes décrits ci-dessus est la base de l'algorithme final développé. La présence des méthodes de seuil et de gradient lui confère une bonne sensibilité aux transitions et au passage par un seuil :

$$X_{i,j} + a^1 * (X_{i,j} - X_{i-1,j}) > ? \text{ COEFF}$$

$X_{n,m}$ est la valeur grise du $n^{\text{ième}}$ pixel de la $m^{\text{ième}}$ ligne du document. Sa valeur binaire, après binarisation, est notée $P_{n,m}$.

a^1 est le coefficient de pondération entre les deux méthodes.

COEFF reprend le rôle des coefficients existants dans les algorithmes de seuil et de gradient.

Si le résultat de cette inégalité est

exact : $X_{i,j}$ est déclaré NOIR et $P_{i,j} = '1'$;

sinon : $X_{i,j}$ est déclaré BLANC et $P_{i,j} = '0'$.

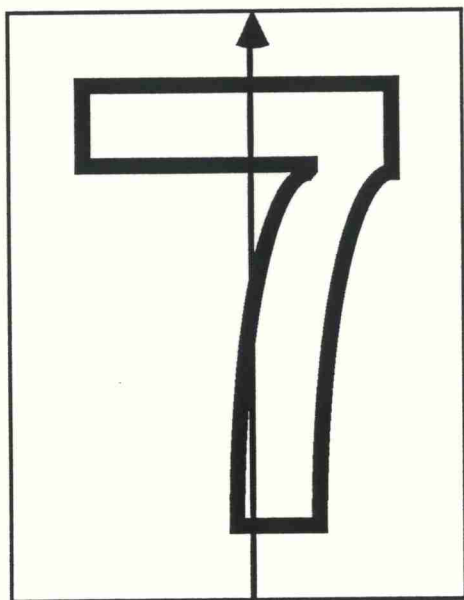
L'introduction du seuil élimine le défaut majeur lié à la binarisation avec gradient : la génération de barres parasites. Si la faible valeur des gradients successifs ne permet pas de détecter la transition d'état, celle-ci est provoquée lorsque la valeur d'un pixel franchit celle du seuil.

En effet, pour des transitions faibles, la valeur du gradient devient insignifiante et l'équation ci-dessus se réduit à :

$$X_{i,j} > ? \text{ COEFF}$$

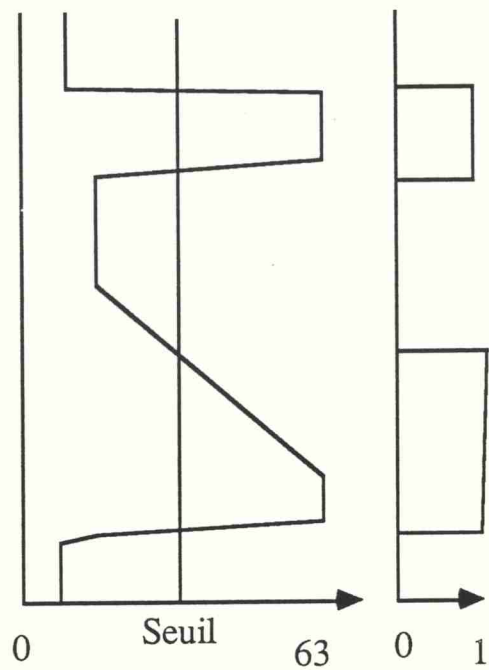
ce qui est bien la forme d'un algorithme de binarisation avec seuil.

Appliqué sur l'image proposée en 4.3.2-2a, cet algorithme avec seuil et gradient détecte, grâce au seuil, la transition d'état le long de la colonne indiquée par la flèche (Fig. 4.3.3-1a) et élimine ainsi (Fig.4.3.3-1c, d) l'inconvénient précédemment cité (génération d'une barre parasite).



Caractère gris

(a)

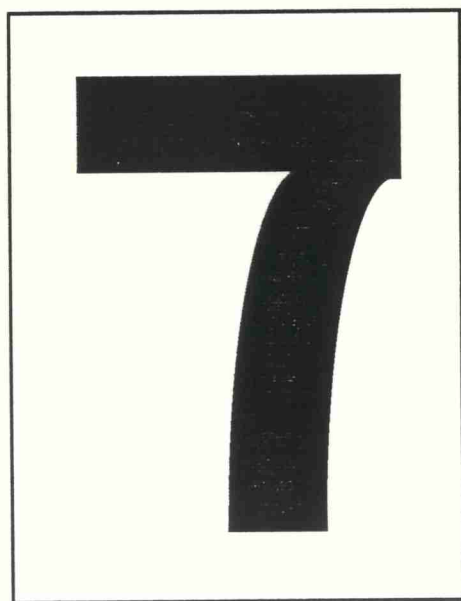


Niveau de gris

(b)

Decision binaire

(c)



Caractère binarisé

(d)

Figure 4.3.3-1

4.3.4. Binarisation avec seuil, gradient et hystérèses.

L'introduction d'une hystérèse permet d'éviter des instabilités de décision, dues à de faibles transitions entre pixels successifs et de valeurs proches de celle du seuil.

En effet, pour $X_{i,j} \approx X_{i-1,j}$ l'algorithme se réduit à :

$$X_{i,j} > ? \text{ COEFF}$$

et pour des valeurs de pixels $X_{i,j}$ avoisinant celle de COEFF, des transitions intempestives s'opèrent et donnent des résultats binaires oscillants pour des pixels de valeurs très proches.

L'introduction de l'hystérèse abaisse ou relève le seuil de comparaison et de transition, suivant que la décision binaire précédente est NOIR ou BLANC. Les figures 4.3.4-1 et 4.3.4-2 montrent les résultats d'une binarisation d'un même caractère, sans ou avec hystérèse. La flèche indique le sens de la binarisation.

Les hystérèses peuvent être disposées de manière asymétrique par rapport au seuil de transition COEFF. Cette disposition asymétrique favorise l'une des décisions binaires au détriment de l'autre : dans le cas de caractères peu contrastés, une dissymétrie des hystérèses (favorable à la décision NOIR) favorise la détection du maximum de l'information.

On définit les hystérèses comme :

$$\begin{aligned} \text{HYST} = & -\text{HBN} \quad \text{si } P_{i-1,j} = '1' \quad (\text{décision binaire précédente NOIR}) \\ & +\text{HNB} \quad \quad \quad '0' \quad (\text{BLANC}) \end{aligned}$$

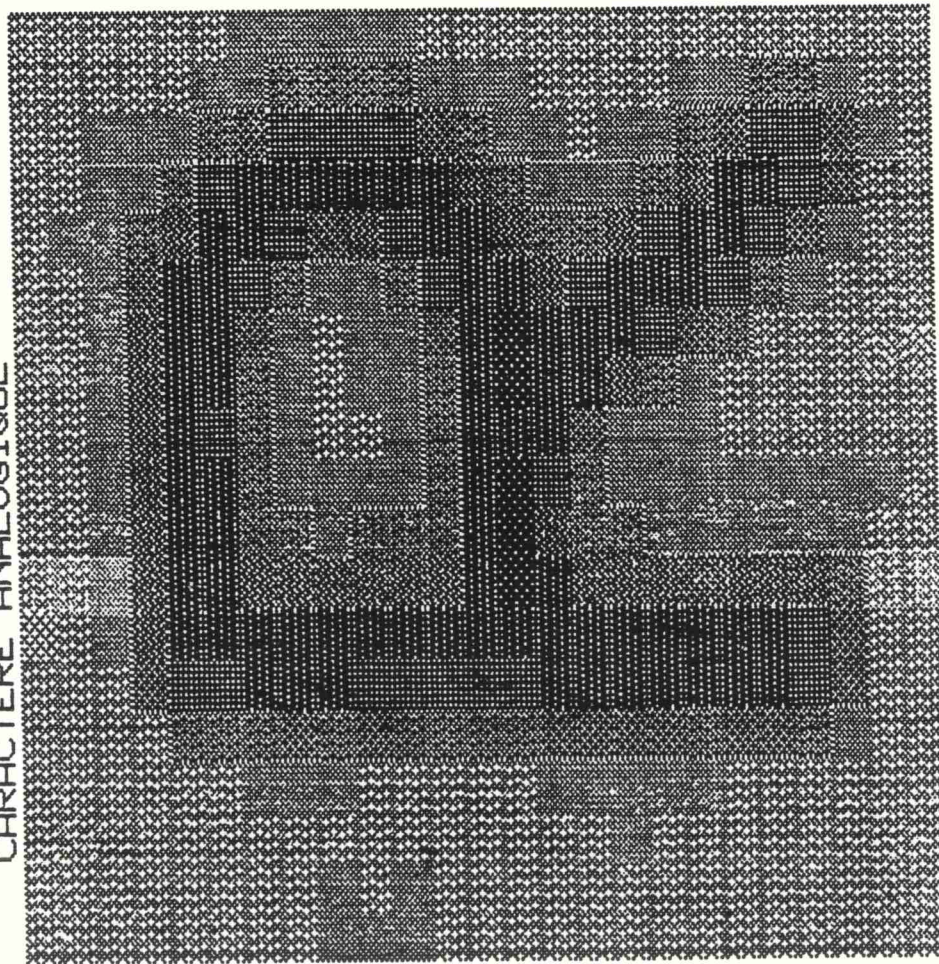
où HNB et HBN sont des nombres positifs.

L'algorithme devient :

$$X_{i,j} + a^1 * (X_{i,j} - X_{i-1,j}) > ? \text{ COEFF} + \text{HYST}$$

Caractere no 53 de la banque de donnees analogiques
 Binar. par gradient +seuil adapte (seuil de 60 %, pente 1.00 , hysteresis B
 N et NB de 0 et 0 %.)

CARACTERE ANALOGIQUE



---> SPL

CARACTERE BINARISE (NOTRE METHODE)

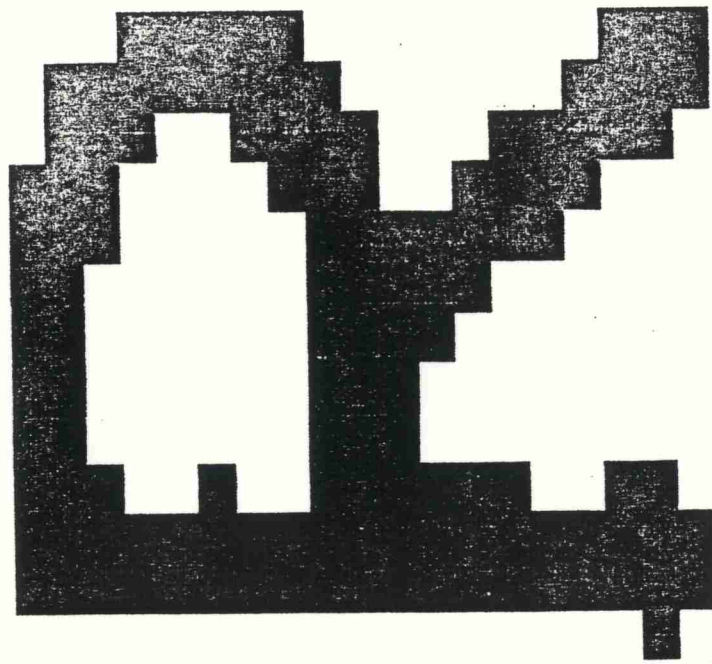
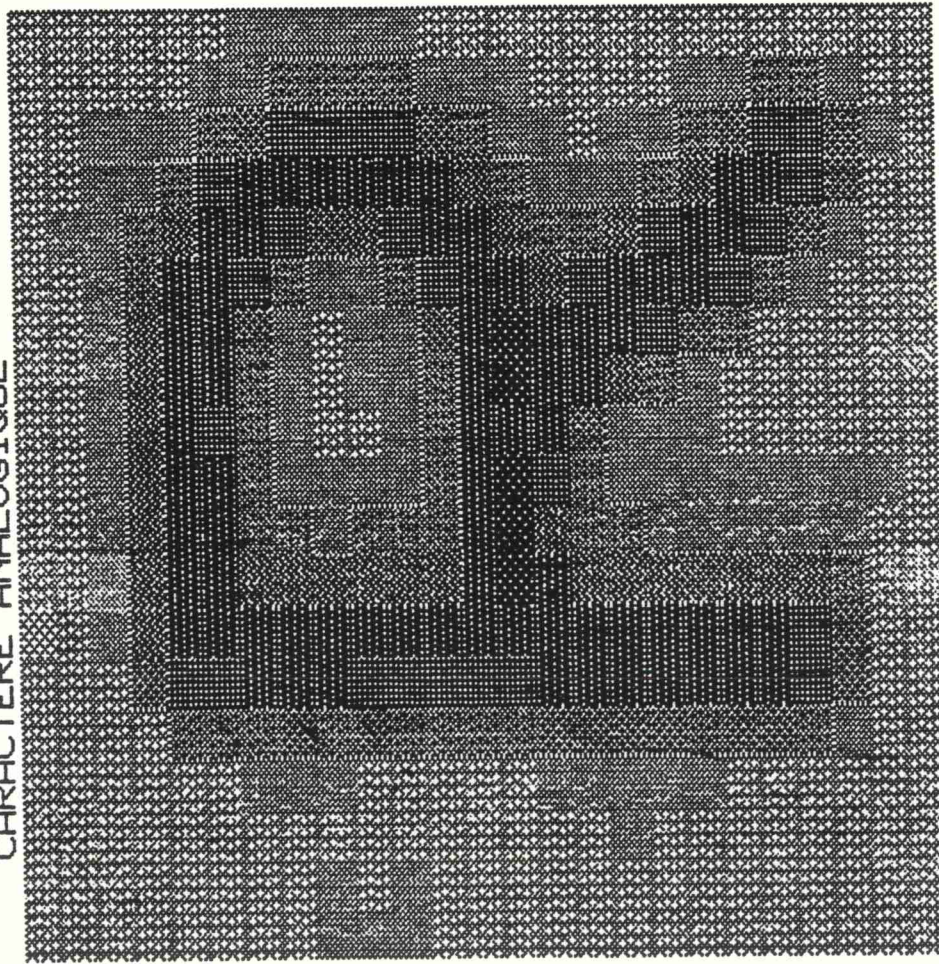


Figure 4.3.4 - 1

Caractere no 53 de la banque de donnees analogiques
Binar. par gradient +seuil adapte (seuil de 60 %, pente 1.00 , hysteresis B
N et NB de 7 et 7 %.)

CARACTERE ANALOGIQUE



----> SPL

CARACTERE BINARISE (NOTRE METHODE)

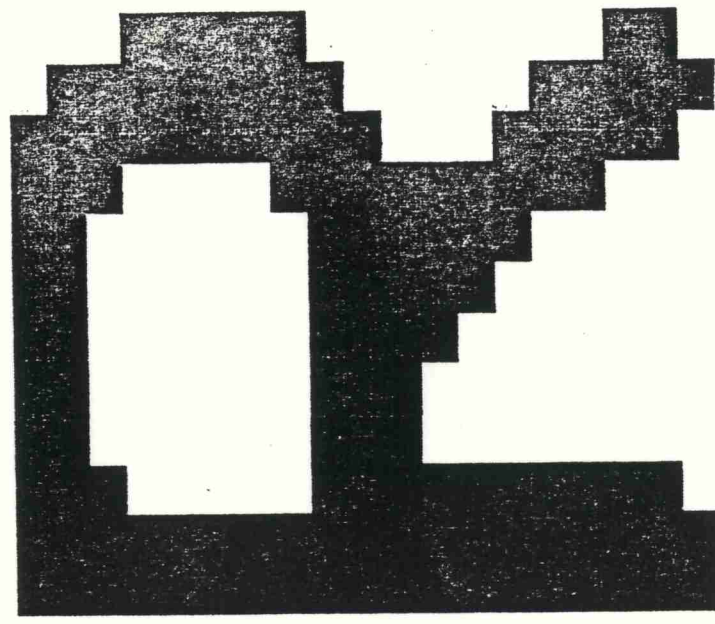


Figure 4.3.4-2

Un graphique (Fig. 4.3.4-3) illustre la portée de l'algorithme et résume les différents cas possibles.

L'axe horizontal reprend la méthode de binarisation avec seuil : le segment de valeurs possibles des pixels (0 --> 63 pour 6 bits de description) est divisé en deux parties par le seuil COEFF : la partie inférieure donne la décision "Blanc" et celle supérieure la décision "Noir".

Sur l'axe vertical sont reportés les résultats possibles du calcul du gradient.

Le trait large limite le domaine des valeurs des couples valeur grise - gradient ($X_{i,j}$; $(X_{i,j} - X_{i-1,j})$).

Pour faciliter la définition des domaines de décision "Blanc" ou "Noir", on supposera, dans un premier temps, qu'il n'y a pas d'hystérèse.

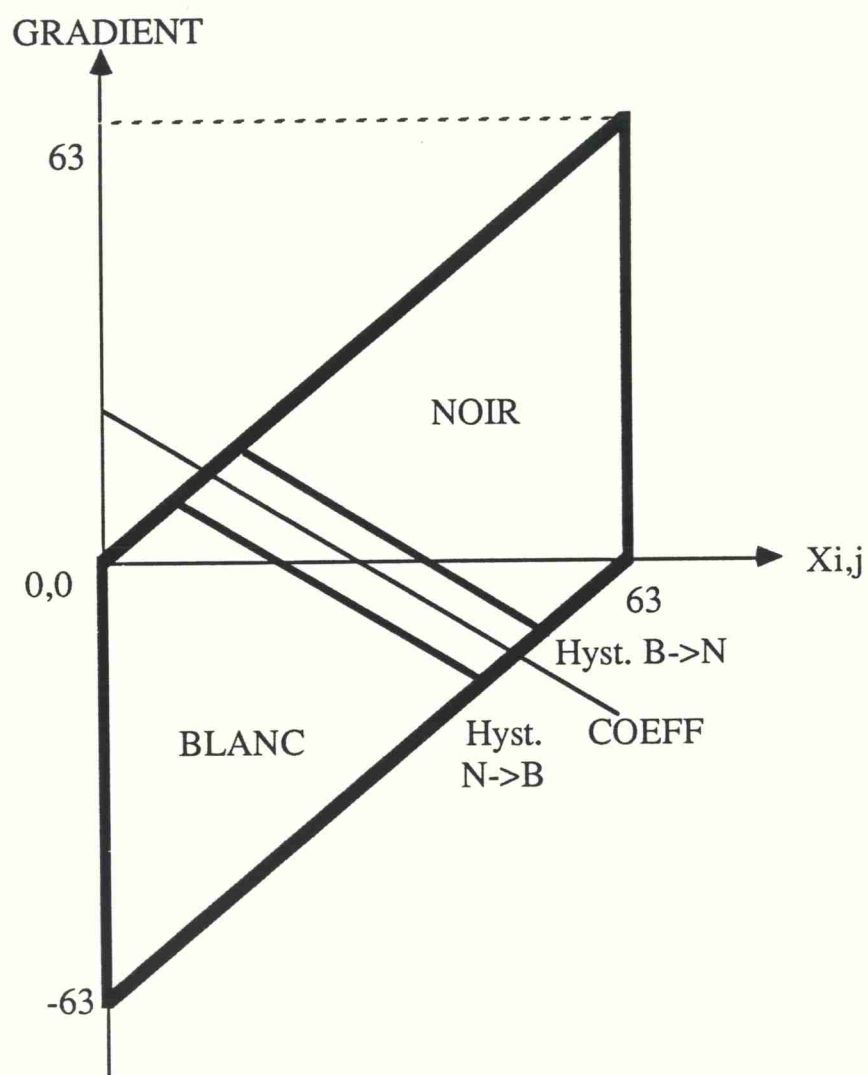
La droite de séparation des décisions BLANC / NOIR a pour équation :

$$X_{i,j} + a^1 * (X_{i,j} - X_{i-1,j}) = \text{COEFF}$$

Elle coupe les axes horizontaux et verticaux en (COEFF, 0) et (0, COEFF / a^1). La partie supérieure est le domaine des couples donnant une décision NOIR. Le coefficient a^1 de pondération entre les deux méthodes intervient directement dans la définition du domaine de décision par son impact sur la pente de la droite de séparation (pour $a^1 = 0$, la droite est verticale et on retrouve bien le domaine de décision typique de l'algorithme de binarisation avec seuil).

Le positionnement "judicieux" du seuil de décision COEFF influence directement les performances de l'algorithme de binarisation. Une valeur trop petite (grande) du seuil COEFF aura pour effet l'extention du domaine de décision NOIR (BLANC) et, par conséquent, du nombre de pixels NOIR (BLANC) dans l'image binarisée résultante.

L'introduction d'hystérèse déplace cette ligne de séparation
vers le haut de + HBN si le pixel précédent est BLANC,
vers le bas de -HNB si le pixel précédent est NOIR.



Binarisation avec seuil, gradient et hystérèse

Figure 4.3.4-3

Nous définissons :

Dynamique totale, l'ensemble des valeurs possibles de gris pouvant être prises par les pixels : $(0, 2^n - 1)$ avec n le nombre de bits de représentation des pixels, 0 le blanc idéal et $(2^n - 1)$ le noir profond.

MOYB et MOYN les valeurs moyennes minimale et maximale prises par les pixels du document analysé. Le calcul de la moyenne est effectué sur une fenêtre $(1 \times 3, 3 \times 3, \dots)$ afin de réduire l'influence des pixels de valeurs extrêmes, peu représentatifs du fond de document ou de l'information (encre).

Dynamique utilisée, l'intervalle minimal comprenant les valeurs réellement prises par les pixels du document analysé. Le segment $[MOYB, MOYN]$ est une bonne approximation de la dynamique utilisée.

Il est évident que le seuil COEFF doit être positionné à l'intérieur de la dynamique utilisée. Cette dernière n'est cependant pas commune à tous les types de documents, car elle est liée :

- à la barrette CCD (non-uniformité de la sensibilité des photodiodes à la lumière, ...),
- à l'éclairage (intensité, ...),
- au papier support de l'information (qualité, réflexion, ...),
- au type d'encre (absorption de la lumière, ...).
- ...

La position du seuil COEFF n'est donc pas absolue (fixée à la dynamique totale), mais plutôt relative (liée à la dynamique utilisée) (Fig. 4.3.4-4).

Une stratégie permettant de déterminer la position de COEFF peut être donnée par la procédure suivante :

- + lire une première fois le document, construire son histogramme et déterminer la dynamique utilisée, MOYN, MOYB et la position du seuil;
- + repasser une seconde fois le document dans le lecteur et effectuer la binarisation proprement dite.

Le désavantage de cette solution est le double passage dans le lecteur entraînant une limitation de la vitesse de traitement d'un document et une complication de la mécanique du système d'entraînement du papier. Le paragraphe suivant présentera la méthode proposée qui évite la double lecture.

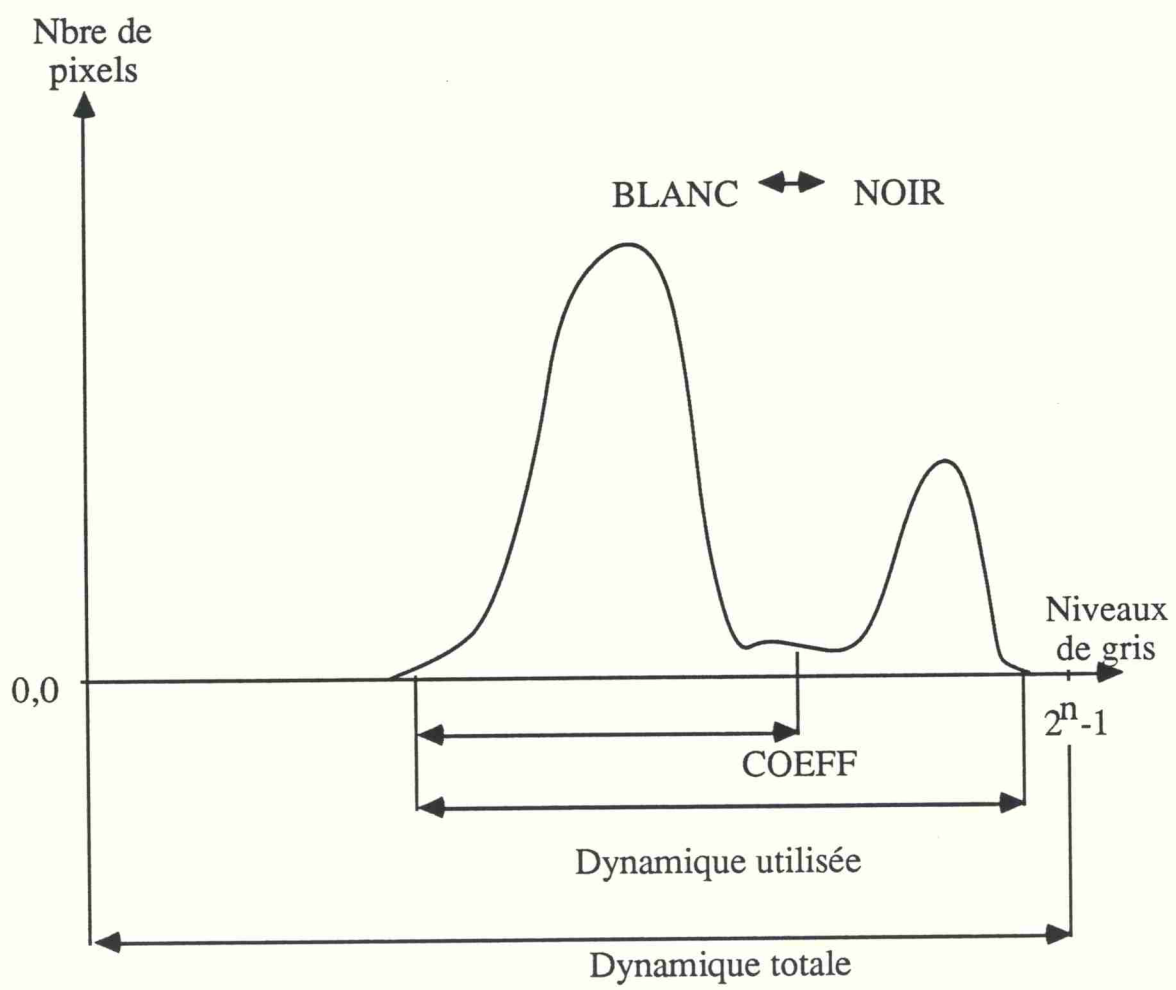


Figure 4.3.4-4

4.3.5. Binarisation avec seuil adapté, gradient et hystérèse

L'étape ultime de la détermination de l'algorithme optimal est l'adaptation automatique du seuil. La dilatation de l'intervalle [MOYB, MOYN] (dynamique utilisée) sur [0, $2^n - 1$] découple le positionnement du seuil de la dynamique utilisée. Le seuil, redéfini dans [0, $2^n - 1$] pour le lecteur utilisé, est fixe, valable pour tous les documents et indépendant de ces derniers (Fig. 4.3.5-1), ainsi que l'ont prouvé les simulations sur de multiples documents.

Une fonction de dilatation linéaire est cependant à introduire :

$$X_{i,j}' = (X_{i,j} - \text{MOYB}) * (2^n - 1) / (\text{MOYN} - \text{MOYB})$$

Avec $X_{i,j}$ et $X_{i,j}'$ les valeurs de gris du pixel avant et après dilatation.

L'algorithme se réécrit :

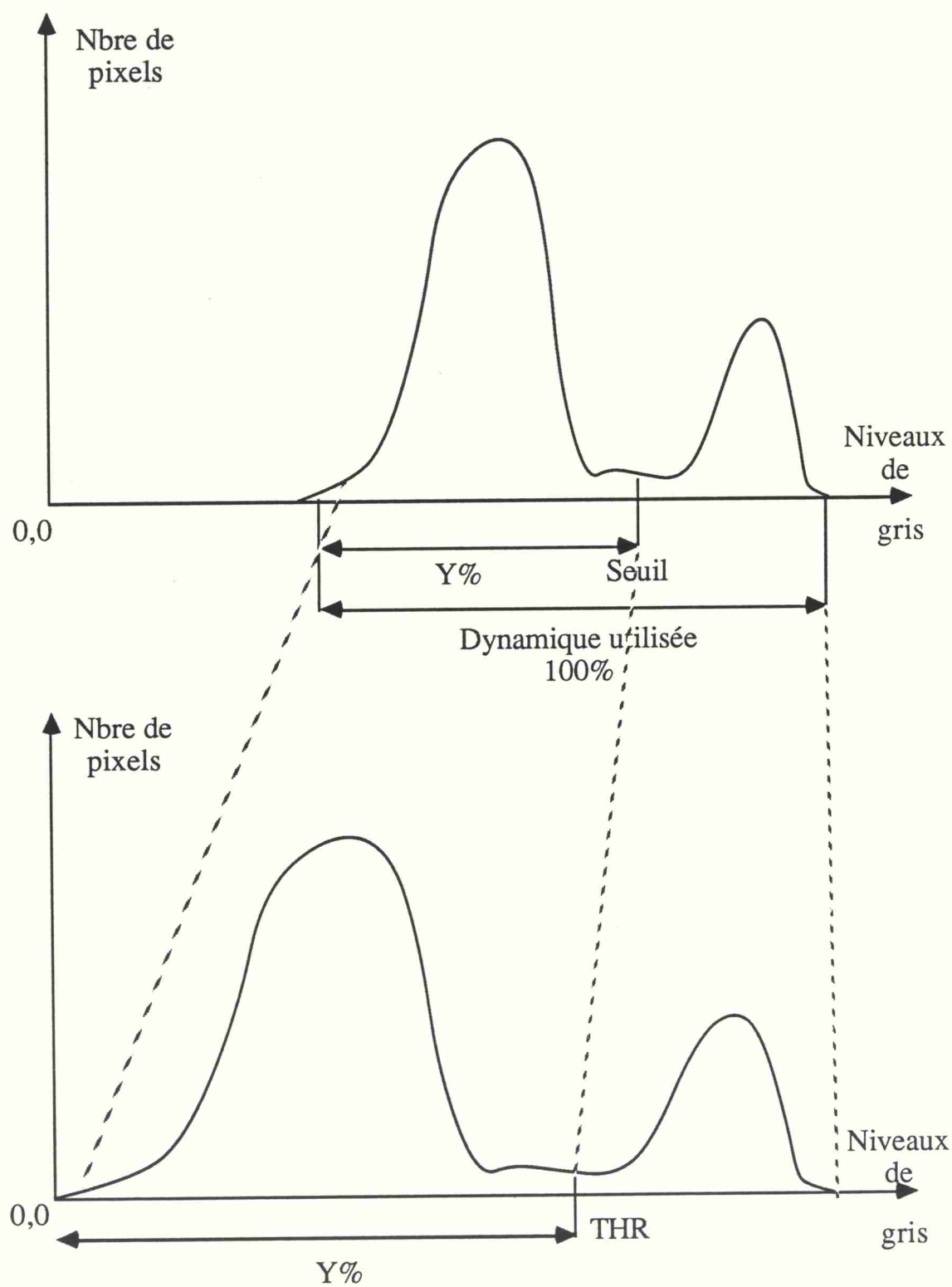
$$X_{i,j}' + a^1 * (X_{i,j}' - X_{i-1,j}') > ? \text{SEUIL}$$

Avec $\text{SEUIL} = \text{TRANS} + \text{HYST}$

TRANS le seuil de transition sans hystérèse et les deux valeurs de HYST (HBN et HNB) étant redéfinis et fixés dans l'intervalle (0, $2^n - 1$).

Les simulations sur bases de données ont montré qu'il est possible d'éviter la première lecture du document (détermination de l'histogramme et de MOYB et MOYN) en corrigeant les valeurs MOYB et MOYN en cours de binarisation.

La méthode retenue consiste à déterminer en cours d'analyse ("on line") les paramètres MOYB et MOYN et de modifier alors la fonction de dilatation linéaire.



Dilatation linéaire sur la dynamique totale

Figure 4.3.5-1

La procédure d'exécution est la suivante :

1. initialisation de MOYB et MOYN à des valeurs toujours couvertes par la dynamique utilisée lors d'une lecture, quel que soit le document lu.
2. entrée du pixel à binariser ($X_{i,j}$) et calcul de la moyenne $F_{i,j}$ sur une fenêtre (exemple : $F_{i,j} = (X_{i,j} + X_{i,j-1}) / 2$ moyenne entre le pixel et le précédent) .
3. comparaison de $F_{i,j}$ avec MOYB et MOYN et correction éventuelle.
Si $F_{i,j} > \text{MOYN}$, alors $\text{MOYN} = F_{i,j}$
 $P_{i,j} = "1"$ et saut en 5,
Si $F_{i,j} < \text{MOYB}$, $\text{MOYB} = F_{i,j}$
 $P_{i,j} = "0"$ et saut en 5.
4. binarisation du pixel suivant l'algorithme.
5. retour au point 2 tant qu'il y a des pixels à traiter, sinon arrêt et attente en 1.

Pour le lecteur MBLE, on a choisi : $\text{MOYB} = 40$ et $\text{MOYN} = 42$.

Les valeurs initiales choisies pour MOYB et MOYN sont situées dans un intervalle de valeurs grises typiquement inclus dans la dynamique utilisée par les documents contenant des caractères et des graphiques lus par le lecteur MBLE.

Le choix et la localisation de ces valeurs initiales permettent une adaptation et une prise de décision binaire correctes. Les modifications de ces valeurs initiales sont peu nombreuses : dans les essais de binarisation effectués sur des documents A4, moins de vingt adaptations ont été nécessaires.

L'inconvénient de l'algorithme présenté réside dans l'introduction d'une fonction de dilatation dans le calcul du résultat binaire de chaque pixel :

$$X_{i,j} + a^1 * (X_{i,j} - X_{i-1,j}) > ? \text{ SEUIL}$$

avec $\text{SEUIL} = \text{TRANS} + \text{HYST}$, défini de manière absolue et prenant deux valeurs suivant la décision binaire précédente.

Après remplacement de chaque pixel dilaté par sa valeur, l'algorithme devient :

$$((2^n - 1) / (MOYN - MOYB)) * ((X_{i,j} - MOYB) + a^1 * ((X_{i,j} - MOYB) - (X_{i-1,j} - MOYB))) \\ >? SEUIL$$

où l'on retrouve à nouveau les valeurs grises non dilatées $X_{i,j}$ des pixels.

Après simplification, l'équation se réécrit :

$$(X_{i,j} + a^1 * (X_{i,j} - X_{i-1,j})) >? THR$$

avec $THR = SEUIL * ((MOYN - MOYB) / (2^n - 1)) + MOYB$.

Cette dernière forme est celle de l'algorithme final de binarisation avec seuil adapté THR, gradient et hystérèses. Le seuil THR doit être recalculé lors de toute modification des valeurs MOYB et MOYN, soit une vingtaine de fois durant l'analyse d'un document A4, comme l'ont montré les simulations.

Ces mêmes simulations donnent une valeur unitaire pour le coefficient a^1 pondérant les poids du gradient et du seuil. Cela simplifie encore l'algorithme qui devient :

$$2 * X_{i,j} - X_{i,j-1} >? THR$$

Trois paramètres TRANS, HNB et HBN sont à fixer. Le paragraphe suivant présentera leur influence, ainsi que les valeurs déterminées après simulations sur des documents. La connaissance de ces trois paramètres suffit pour le calcul de SEUIL, ainsi que pour l'adaptation automatique du seuil adapté THR suivant la dynamique utilisée (MOYB, MOYN) par le document lu.

L'efficacité de cette méthode sera présentée en A.4.5., en comparaison avec une binarisation analogique (Réf. 25) et la binarisation basée sur le Laplacien.

Une remarque s'impose quant aux routines que le circuit intégré doit être capable d'effectuer :

La fonction de dilatation $(A*B) / (2^n - 1)$ doit être disponible. Deux réalisations sont possibles :

- stockage de la table de cette fonction dans un PLA;
- multiplicateur intégré ou externe, puis division.

Pour un nombre de bits de description $n = 6$, la première solution a été retenue. Pour un nombre supérieur, le multiplicateur s'impose, la table devenant trop importante et le PLA ayant une surface prohibitive. La division par $(2^n - 1)$ peut être approximée par une division par 2^n facilement intégrable. L'erreur introduite devient négligeable pour n grand (6, ...).

4.3.6. Influence des paramètres sur le résultat

Rappelons l'algorithme :

$$(1) \quad 2 \times X_{i,j} - X_{i,j-1} \geq ? \text{ THR}$$

avec $\text{THR} = \text{SEUIL} * ((\text{MOYN} - \text{MOYB}) / (2^n - 1)) \oplus \text{MOYB}$.

Le paramètre SEUIL prend deux valeurs :

$$\begin{aligned} \text{SEUIL} &= \text{TRANS} + \text{HBN} \text{ si la décision binaire précédente était } \text{BLANC}, \\ &= \text{TRANS} - \text{HNB} \text{ NOIR.} \end{aligned}$$

TRANS, HBN et HNB sont des paramètres donnés par l'utilisateur et inclus dans l'intervalle des valeurs entières $(0, 2^n - 1)$.

Dans notre recherche des paramètres optimaux, nous avons postulé qu'ils correspondaient à un résultat binarisé visuellement fidèle au document original.

La détermination du SEUIL s'est faite en deux étapes :

- recherche de la valeur optimale de TRANS (HBN = HNB = 0) sur un large nombre de documents gris contenant graphiques et différentes fontes de caractères.
- amélioration des résultats binarisés par un réglage fin des hystérèses HNB et HBN : suppression des instabilités générant des bords dentelés aux traits, ...

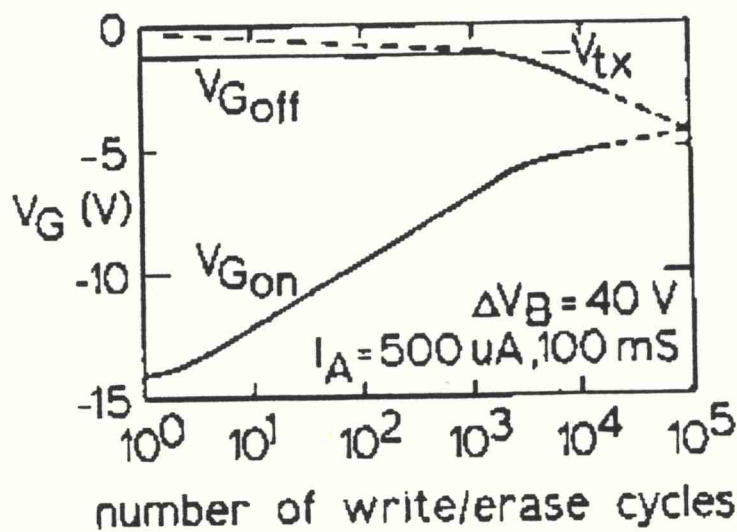
Deux programmes de simulation ont été écrits à cet effet et seront décrits en A.4.6.

Le tableau de la figure 4.3.6-1 reprend quelques résultats intermédiaires de notre recherche des paramètres optimaux.

En regard de chaque triplet de valeurs (TRANS, HBN, HNB) est donnée une appréciation sur la qualité de la binarisation, ainsi que le numéro de la figure reproduisant le résultat binarisé correspondant.

TRANS	HBN	HNB	Commentaire	Fig. n°
35	0	5	Traits trop épais, confusion de traits : boucles, ...	4.3.6-2
35	5	0	Traits trop fins, apparition de coupures, ...	4.3.6-3
35	2	3	Traits visuellement fidèles	4.3.6-4

Fig. 4.3.6-1



velope of the gate on/off voltage versus number of write/erase
The performance degradation due to carrier trapping limits the
of times the cell can be programmed.

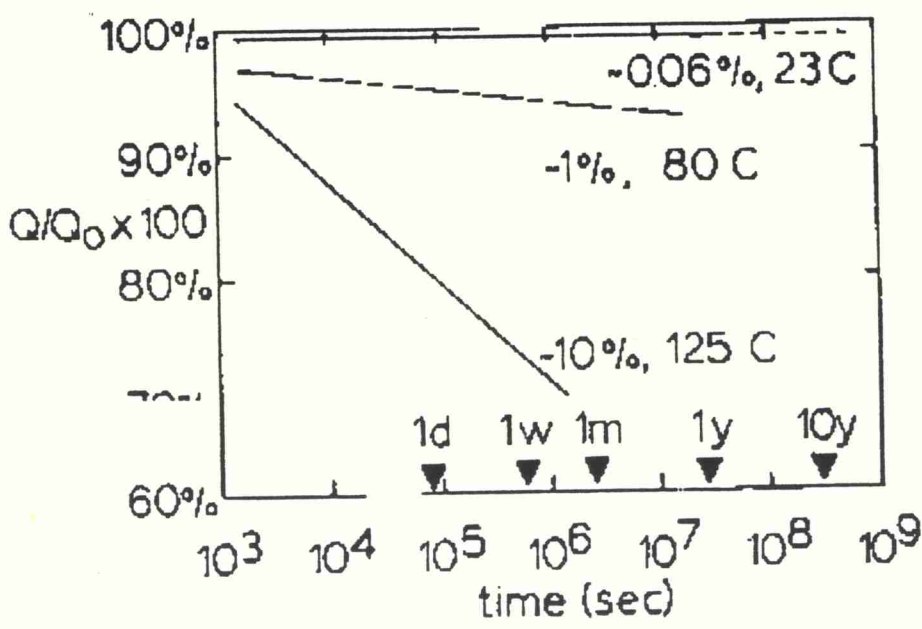
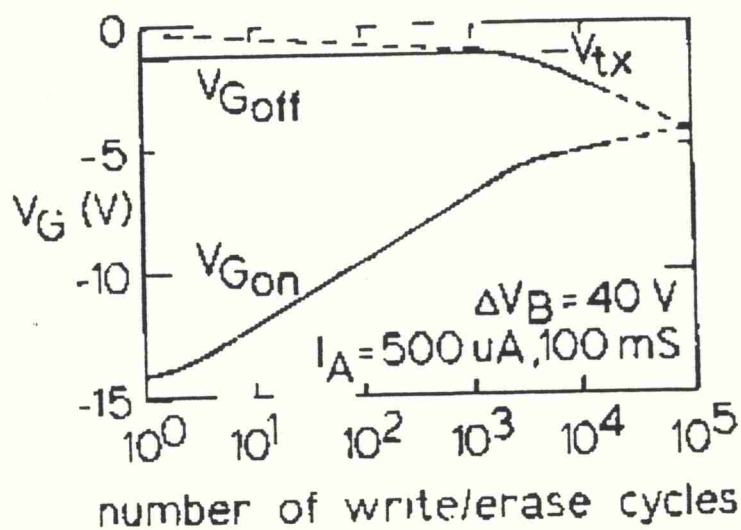


Fig. 7.

Time dependence of charge storage in the aluminum float-
ing-gate DIFMOS memory cells.



velope of the gate on/off voltage versus number of write/erase
 e performance degradation due to carrier trapping limits the
 of times the cell can be programmed.

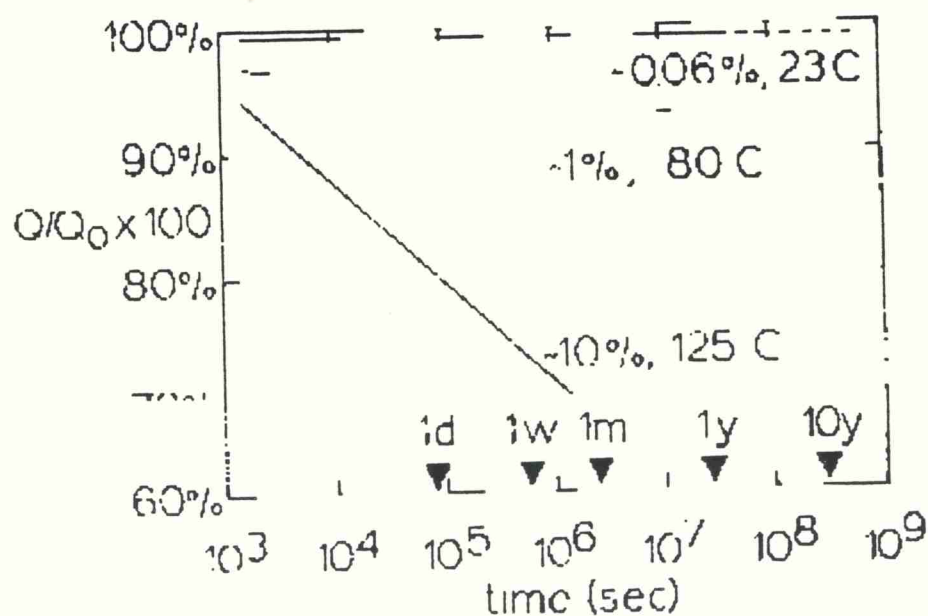
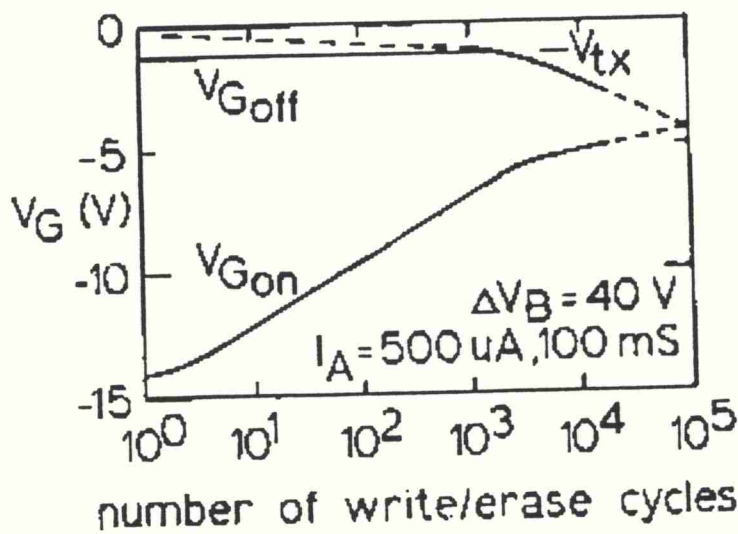


Fig. 7.

ime dependence of charge storage in the aluminum float-
 ing-gate DIFMOS memory cells.



Envelope of the gate on/off voltage versus number of write/erase cycles. The performance degradation due to carrier trapping limits the number of times the cell can be programmed.

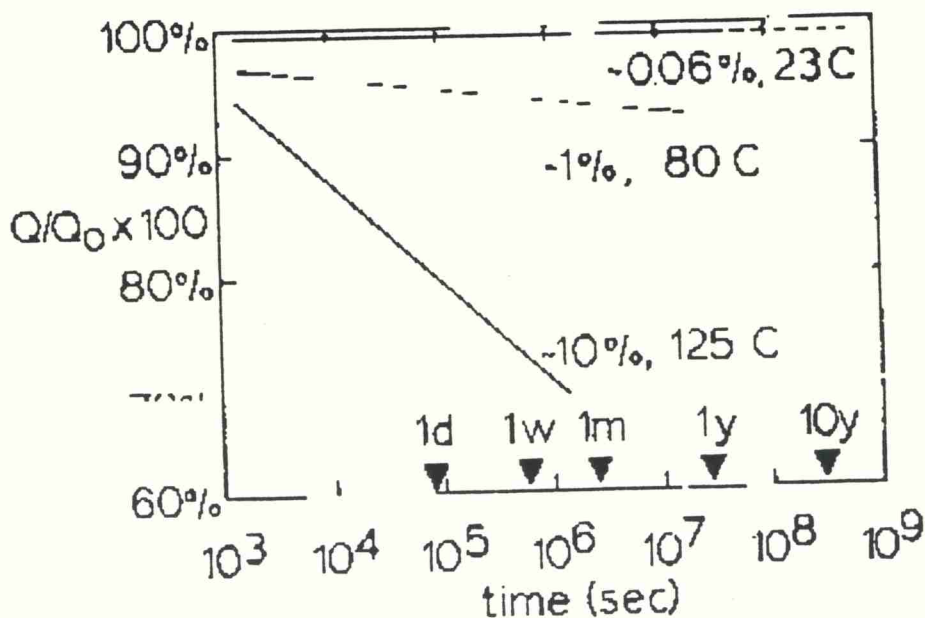


Fig. 7

Time dependence of charge storage in the aluminum floating-gate DIFMOS memory cells.

4.4. BINARISATION AVEC LAPLACIEN ET HYSTERESES

4.4.1. Introduction

L'intérêt de la méthode du Laplacien est la prise en considération du voisinage du pixel traité, lors du processus de décision. La méthode du Laplacien s'inspire largement de celles couramment employées en traitement du signal (Réf. 2) pour la détection de contours (Edge detection) et de lignes (Lines detection), ainsi que pour l'accentuation des transitions et des contrastes (Edge crispening & Image enhancement), etc.

4.4.2. Laplacien et binarisation

La binarisation par Laplacien est étroitement liée aux méthodes de détection des contours dans le traitement d'image. En effet, l'image binaire résultante d'une détection des contours est une "carte" signalant la position des transitions importantes dans l'image grise traitée (les bords des "objets" contenus) :

'0' pour les transitions nulles ou inférieures à un seuil donné,

'1' pour les transitions supérieures au seuil.

La binarisation recherche de même les transitions fortes entre pixels de l'image grise, et mémorise leurs positions dans une carte "binaire". En outre, le niveau binaire atteint est maintenu et inscrit dans l'image binaire résultante à la position des pixels analysés tant qu'une transition inverse n'impose pas le niveau binaire complémentaire. Pour rappel, les niveaux binaires correspondent physiquement à NOIR ('1') et BLANC ('0').

La figure 4.4.2-1 montre le résultat d'une binarisation, telle que présentée ci-dessus : on remarque que les frontières sont bien identiques (le seuil de transition étant resté le même) à celles de l'image binaire résultat d'une détection des contours (Fig. 4.4.2-2).

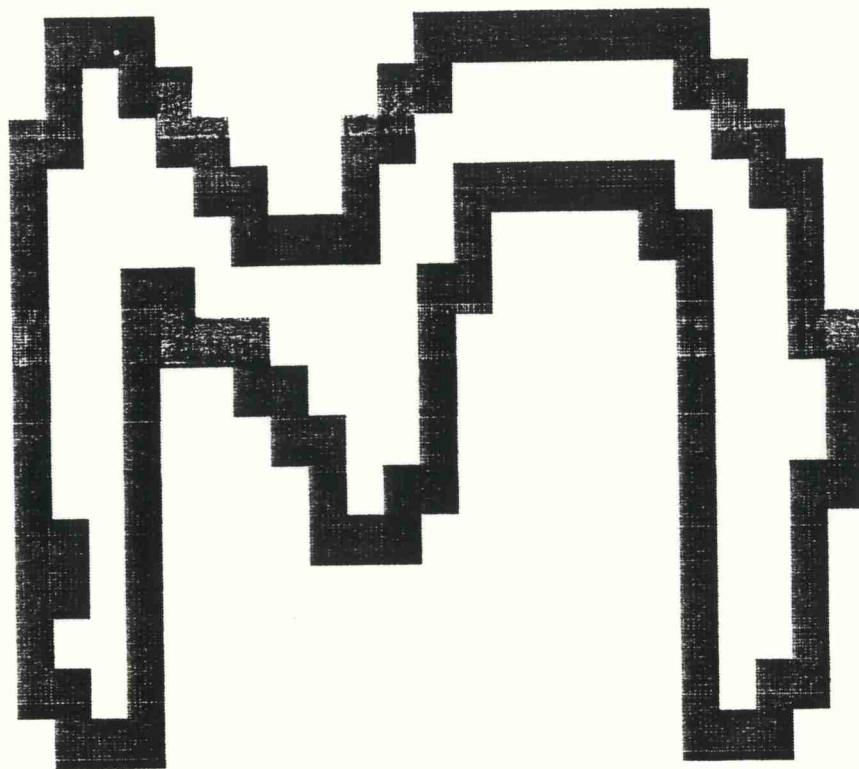


Figure 4.4.2-2

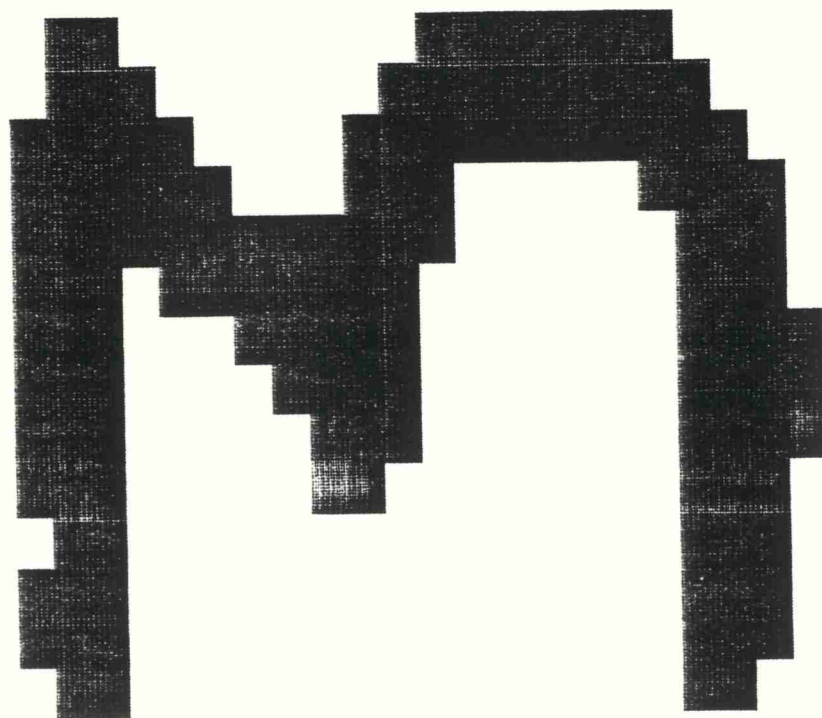


Figure 4.4.2-1

4.4.3. Algorithme de base

L'élément le plus important de cette méthode est la taille de la région entourant le pixel. Une fenêtre large réduit l'influence des "variations microscopiques" des niveaux de gris, mais alourdit le calcul, vu que le nombre d'opérations dépend de la taille de la fenêtre.

La fenêtre a été choisie carrée et centrée ($k \times k$ pixels et k impair), afin de ne privilégier aucune des directions d'analyse : les voisinages les plus couramment considérés dans les applications O.C.R. sont de dimension 3 ($k = 3$ et 8 pixels dans le voisinage) ou 5 ($k = 5$ et 24 pixels).

Pour une fenêtre 3×3 , les poids attribués à chaque pixel sont par exemple :

$$\begin{bmatrix} 1/8 & 1/8 & 1/8 \\ 1/8 & 1 & 1/8 \\ 1/8 & 1/8 & 1/8 \end{bmatrix}$$

Le poids du pixel central est donné à 1.

La somme des poids dans une fenêtre est égale à 2.

Pour des raisons d'intégrabilité des fonctions de division, les diviseurs sont choisis multiples de 2.

Le Laplacien $L_{i,j}$ calculé pour le pixel $X_{i,j}$ s'écrit :

$$L_{i,j} = M_{i,j} - X_{i,j}$$

$$\text{en posant } M_{i,j} = (X_{i-1,j-1} + X_{i-1,j} + X_{i-1,j+1} + X_{i,j-1} + X_{i,j+1} + X_{i+1,j-1} + X_{i+1,j} + X_{i+1,j+1}) / 8$$

la moyenne du voisinage du pixel $X_{i,j}$.

L'algorithme de binarisation de base est :

$$L_{i,j} > ? 0$$

et la décision binaire associée :

Exact : décision BLANC

Faux : NOIR.

Ce critère simple peut s'étoffer :

- si la moyenne $M_{i,j}$ est inférieure à une valeur minimale MI , le pixel est déclaré BLANC et $P_{i,j} = '0'$. MI doit être représentatif de la valeur moyenne du fond blanc du document,
- si la moyenne $M_{i,j}$ est supérieure à une valeur maximale MS , le pixel est déclaré NOIR et $P_{i,j} = '1'$. MS est la valeur moyenne maximale atteinte par les pixels du document.

La figure 4.4.3-1 illustre le principe de décision défini.

Les valeurs MI et MS sont déterminées comme suit :

$$MI = \text{minimum}(M_{p,q})$$

$$MS = \text{maximum}(M_{p,q})$$

où $M_{p,q}$ est la moyenne calculée au pixel de coordonnées p et q , p couvrant la largeur du document et q sa longueur.

Les bords des documents font l'objet de calculs spéciaux de la moyenne du voisinage.

Ainsi, par exemple, une fenêtre de 3×3 est réduite en :

- une fenêtre 2×2 pour le pixel supérieur gauche, les poids attribués sont

$$\begin{bmatrix} 1 & 1/2 \\ 1/2 & 0 \end{bmatrix}$$

- une fenêtre de 3×2 pour un pixel, non de coin, du côté gauche, les poids attribués sont

$$\begin{bmatrix} 1/4 & 1/4 \\ 1 & 0 \\ 1/4 & 1/4 \end{bmatrix}$$

- etc.

Une autre méthode est de négliger les $(k/2 - 1)$ lignes et colonnes des bords du document : pour une résolution de 8 pixels par mm, on perd 0.25 mm du bord du document pour une fenêtre 5×5 de calcul de la moyenne.

4.4.4. Algorithme avec hystérèse

Comme précédemment, l'introduction d'une hystérèse permet d'éviter des instabilités de décision pour des valeurs de pixels proches de celle du seuil de transition BLANC/NOIR (Fig. 4.4.4-1). L'hystérèse est caractérisée par deux valeurs :

- HNB si la décision binaire antérieure était NOIR. On abaisse le seuil de transition vers l'état BLANC,
- + HBN si la décision binaire antérieure était BLANC. On hausse le seuil de transition vers l'état NOIR.

Une protection maximale de l'information peut être obtenue éventuellement en favorisant la décision NOIR : HBN petit et HNB grand, par exemple pour une fonte fine de caractères (Light Italic, ...).

L'algorithme de binarisation avec Laplacien et hystérèse s'écrit :

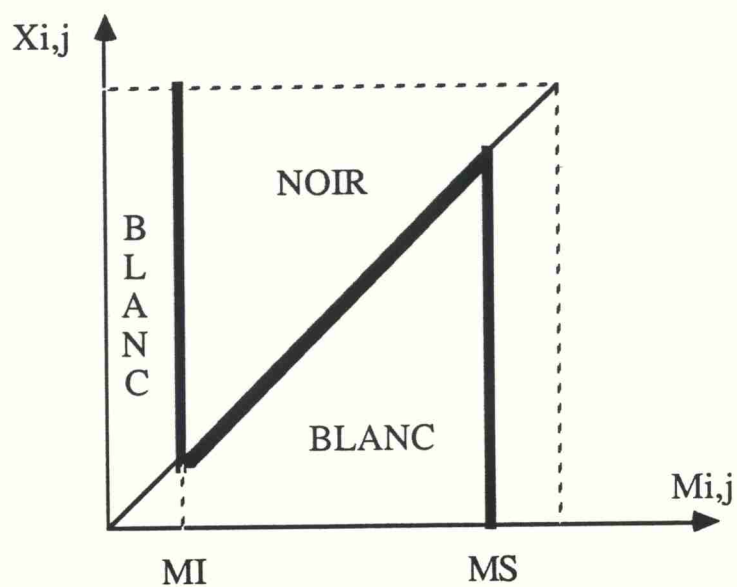
Si $M_{i,j} < M_l$, alors décision BLANC
 $> M_s$, alors décision NOIR

Sinon décision suivant :

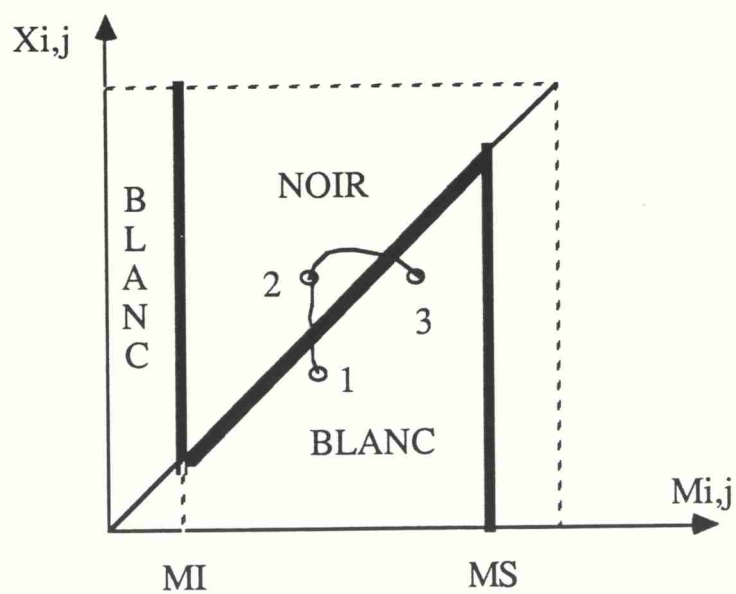
$M_{i,j} - X_{i,j} + \text{HYST} \geq 0$
avec $\text{HYST} = -\text{HNB}$ ou $+\text{HBN}$.

Le domaine de définition est représenté à la figure 4.4.4-2.

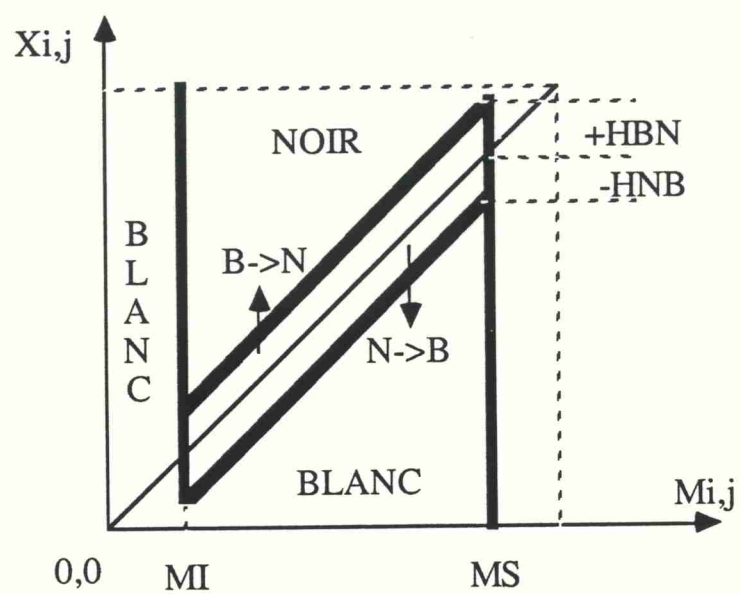
La détermination des paramètres intervenant dans cet algorithme fera l'objet du paragraphe suivant.



Binarisation avec Laplacien
Figure 4.4.3-1



Instabilités de décision
Figure 4.4.4-1



Binarisation avec Laplacien et hystérèse
Figure 4.4.4-2

4.4.5. Détermination de la valeur des paramètres

Les paramètres sont :

MI : valeur moyenne du fond blanc du document,

MS : valeur moyenne de l'information,

HNB : valeur de l'hystérèse pour un saut NOIR -> BLANC

HBN : valeur de l'hystérèse pour un saut BLANC -> NOIR

k, l : les dimensions de la fenêtre de calcul de la moyenne.

Comme nous l'avons vu précédemment, la dynamique est propre à un document. Les paramètres MI et MS, définis de manière absolue dans l'échelle des gris, changent d'un document à un autre (Fig. 4.4.5-1). La procédure à suivre pour se libérer de cet inconvénient, est identique à celle décrite en 4.3.4. et 4.3.5., à savoir une dilatation de la dynamique utilisée sur la dynamique maximale et une adaptation des paramètres de dilatation en cours de traitement (on line) des documents. Cette procédure nécessite de nouveau l'emploi d'une fonction de dilatation :

$$X_{i,j}' = (X_{i,j} - \text{MOYB}) * (2^n - 1) / (\text{MOYN} - \text{MOYB})$$

avec $X_{i,j}$ et $X_{i,j}'$ les valeurs des pixels avant et après dilatation.

MOYN et MOYB sont les valeurs moyennes extrêmes et significatives prises par les pixels du document. Elles correspondent bien aux définitions de MI et MS (Fig. 4.4.5-2) et on a: $MI = \text{MOYB}$, $MS = \text{MOYN}$. Par la suite, la notation reprendra MOYB et MOYN, afin de conserver la compatibilité avec ce qui précède.

Après dilatation, l'algorithme devient :

$$M_{i,j}' - X_{i,j}' + \text{HYST}'' > ? 0$$

avec $M_{i,j}'$ et $X_{i,j}'$ définis respectivement comme la moyenne et la valeur grise du pixel après dilatation.

Les valeurs HBN et HNB de HYST'' sont définies par rapport à la dynamique maximale et après simulations sur banques de données.

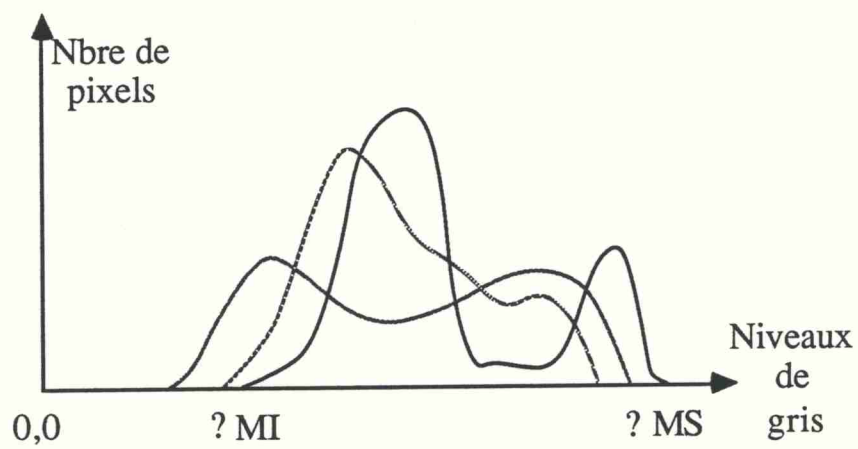


Figure 4.4.5-1

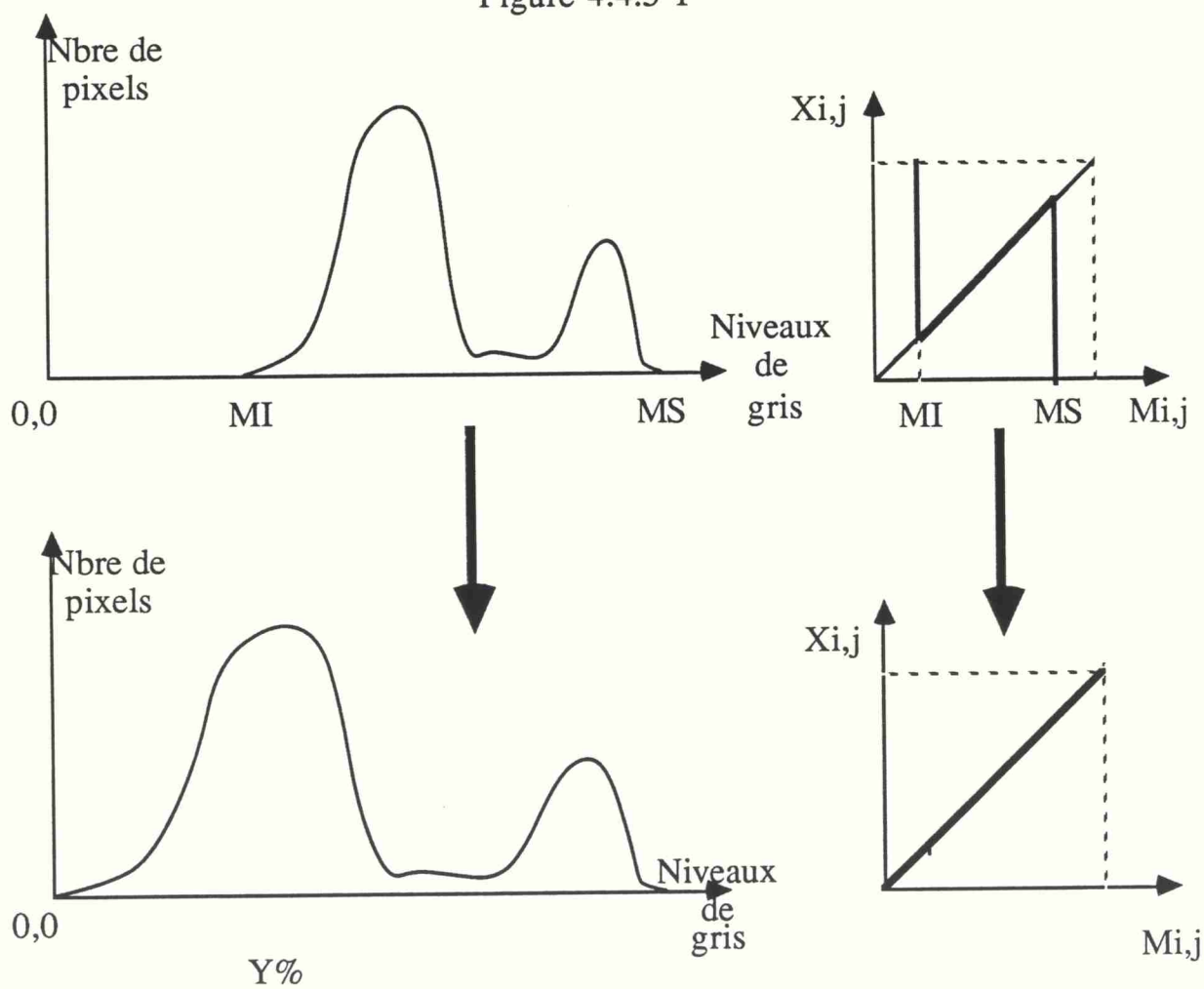


Figure 4.4.5-2

L'algorithme avec Laplacien et hystérèse

$$M_{i,j} - X_{i,j} + \text{HYST} > ? 0$$

est décomposé :

$$\sum_{k,l} \phi_{k,l} * ((X_{k,l} - \text{MOYB}) (2^n - 1) / (\text{MOYN} - \text{MOYB}))$$

$$k,l - \phi_{i,j} * ((X_{i,j} - \text{MOYB}) (2^n - 1) / (\text{MOYN} - \text{MOYB}))$$

$$+ \text{HYST} > ? 0$$

où $\phi_{p,q}$ est le poids attribué au pixel $X_{p,q}$

$$k \# i$$

$$l \# j$$

On simplifie :

$$\sum_{k,l} \phi_{k,l} * X_{k,l} - \phi_{i,j} * X_{i,j} + \text{MOYB} * [\phi_{i,j} - \sum_{k,l} \phi_{k,l}] > ? - \text{HYST} * (\text{MOYN} - \text{MOYB}) / (2^n - 1)$$

$$\text{or } \sum_{k,l} \phi_{k,l} * X_{k,l} = M_{i,j}$$

$$\phi_{i,j} - \sum_{k,l} \phi_{k,l} = 0$$

$$\phi_{i,j} \text{ est pris unitaire} \quad (\text{voir 4.4.3})$$

L'algorithme final est :

$$M_{i,j} - X_{i,j} + \text{HYST} * (\text{MOYN} - \text{MOYB}) / (2^n - 1) > ? 0$$

Ou encore :

$$M_{i,j} - X_{i,j} + K_h > ? 0$$

K_h prend deux valeurs suivant la décision binaire précédente

$$\text{BLANC} : + \text{HBN} * (\text{MOYN} - \text{MOYB}) / (2^n - 1)$$

$$\text{NOIR} : - \text{HNB} * (\text{MOYN} - \text{MOYB}) / (2^n - 1).$$

La procédure d'exécution de l'algorithme est identique à celle présentée en 4.3.5. pour l'algorithme de binarisation avec seuil adapté, gradient et hystérèse :

1. initialisation de MOYB et MOYN à des valeurs toujours couvertes par la dynamique utilisée lors d'une lecture, quel que soit le document lu.
2. entrée du pixel à binariser (X_i, j) et calcul de la moyenne $M_{i, j}$ sur une fenêtre choisie (exemple : 3×3).
3. comparaison de $M_{i, j}$ avec MOYB et MOYN, et correction éventuelle.

Si $M_{i, j} > \text{MOYN}$, alors $\text{MOYN} = M_{i, j}$

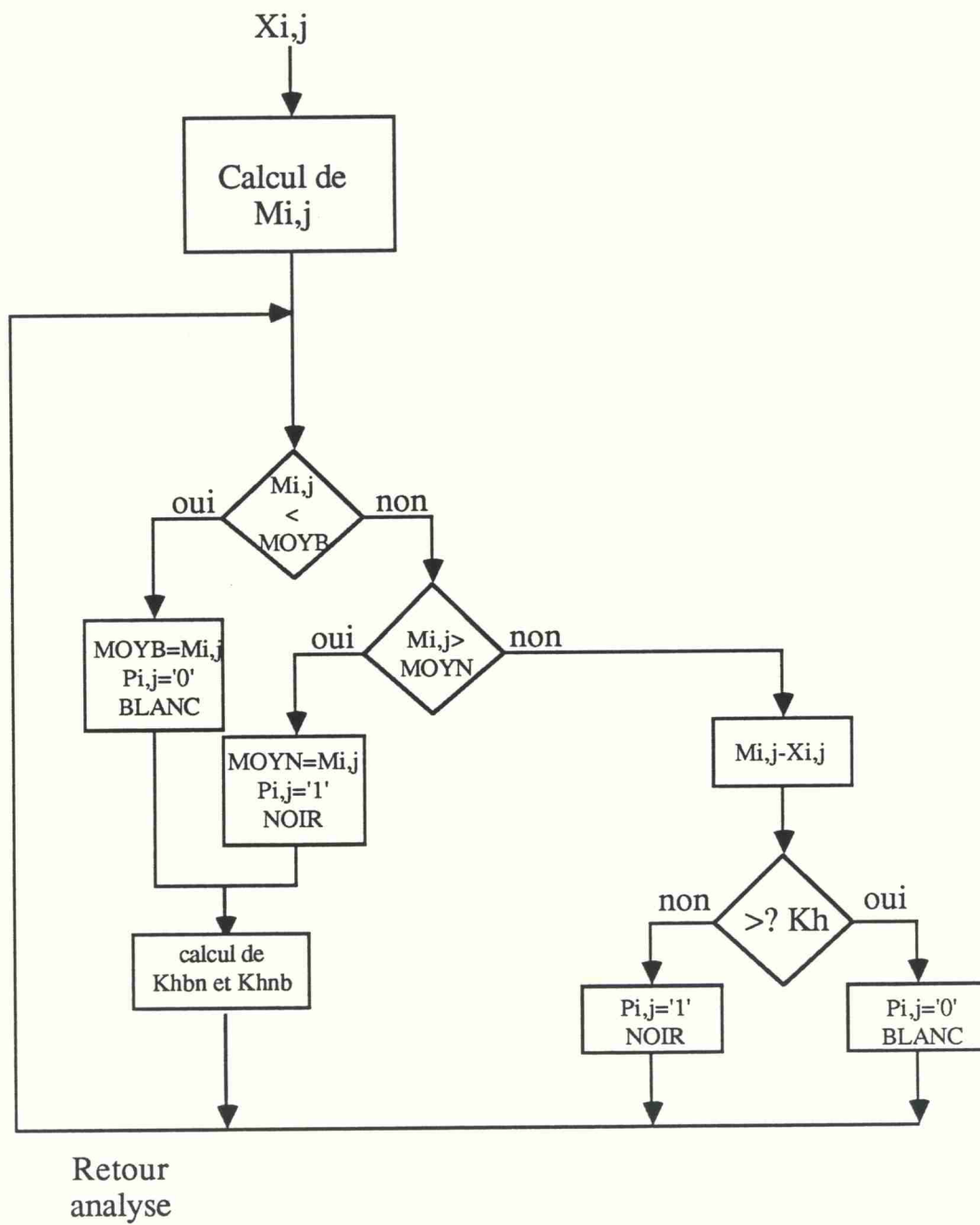
$P_{i, j} = '1'$: décision NOIR

calcul des hystérèses et saut en 5.

$< \text{MOYB}$, $\text{MOYB} = M_{i, j}$

$P_{i, j} = '0'$: décision BLANC

calcul des hystérèses et saut en 5.
4. binarisation du pixel suivant l'algorithme.
5. retour au point 2 tant qu'il y a des pixels à traiter, sinon arrêt et attente en 1 (Fig. 4.4.5-3).



Algorithme de décision
Figure 4.4.5-3

4.5. COMPARAISON ET EFFICACITE DES ALGORITHMES

La comparaison des algorithmes est faite sur base des critères énoncés au début de ce chapitre. Les spécificités de chacun des algorithmes sont rappelées ci-dessous.

4.5.1. Rappel des caractéristiques de l'algorithme - Binarisation avec seuil adapté, gradient et hystérèse

- Utilisation du seuil pour les faibles variations.
- Influence du gradient pour les fortes transitions entre pixels.
- Suppression, grâce aux hystérèses, des instabilités de décision pour des valeurs grises de pixels, proches du seuil.
- Adaptation continue des paramètres en cours d'analyse.
- Nombre limité d'opérations arithmétiques : vitesse élevée de traitement.
- Sensibilité médiocre dans le cas de documents peu contrastés.

4.5.2. Rappel des caractéristiques de l'algorithme - Binarisation avec Laplacien et hystérèse

- Minimisation de la sensibilité aux variations "microscopiques" du contraste dans un document par l'utilisation d'une fenêtre de voisinage.
- Suppression, grâce aux hystérèses, des instabilités de décision pour des valeurs grises de pixels proches du seuil de transition.
- Adaptation continue des paramètres en cours de traitement.
- Nombre élevé d'opérations (proportionnel à la taille de la fenêtre considérée) : vitesse de traitement faible.

4.5.3. Comparaison

Lisibilité :

Sur un ensemble test de 2000 caractères, les résultats suivants ont été obtenus (Fig. 4.5.3-1).

	Reconnus	Substitués	Rejetés
Binarisation analogique (Réf. 25)	98.6 %	0.50 %	0.90 %
Bin. seuil grad.	99.3 %	0.25 %	0.45 %
Bin. seuil grad. hyst.	99.4 %	0.20 %	0.40 %
Bin. Laplacien	99.5 %	0.15 %	0.35 %
Bin. Laplacien hyst.	99.6 %	0.15 %	0.25 %

Fig. 4.5.3-1

Les taux de reconnaissance de caractères reconnus sont en nette progression lorsque l'on passe de la Binarisation analogique (source MBLE) à l'algorithme de Binarisation avec seuil adapté et gradient, puis à celui avec Laplacien.

Les résultats confirment de même l'influence bénéfique de l'introduction d'une hystérèse sur le taux de reconnaissance.

Il est important de rappeler :

- + les résultats ont été obtenus en "gelant" la reconnaissance des caractères.
- + dans notre recherche des paramètres optimaux de binarisation, nous avons postulé qu'ils correspondaient à un résultat binarisé visuellement fidèle au document original : recherche d'un optimum local.
- + l'optimum local atteint (modification uniquement des paramètres de la binarisation) n'est certainement le meilleur. La recherche d'un optimum global doit impliquer la binarisation et la reconnaissance des caractères.

Vitesse :

Les vitesses de traitement sont estimées sur base de l'architecture, des caractéristiques et des performances du circuit intégré développé et décrit dans la seconde partie du présent travail. La figure 4.5.3-2 donne les vitesses pour différents algorithmes. La fréquence de travail du circuit est de 4 MHz. Les performances signalées sont des estimations faites suivant les programmes de binarisation écrits dans le langage du circuit intégré et qui seront exécutés par ce dernier.

	Cycles par pixel	Data Rate kPixels/sec	Temps de traitement d'un A4 (3,9 Mpixels)
Bin. seuil Grad. hyst.	6	666	5,9 sec
Bin. Laplacien hyst. - fen. 3*3 - fen. 5*5	23 27	174 148	22,5 sec 26,4 sec

Fig. 4.5.3-2

Automaticité :

L'adoption de la dilatation avant binarisation, permet de réduire considérablement le nombre de paramètres externes. L'adaptation continue de ces paramètres en cours d'analyse, rend la méthode automatique pour l'utilisateur.

4.5.4. Conclusions

Les deux méthodes étudiées, quoique reposant sur des concepts différents, donnent de très bons résultats. Il faut cependant noter la lisibilité supérieure de la méthode du Laplacien, accompagnée d'une complexité accrue de calcul qui se traduit par une vitesse de travail inférieure à la méthode avec seuil, gradient et hystérèse.

Dans les deux méthodes, l'introduction d'une hystérèse permet d'améliorer sensiblement le résultat d'une reconnaissance des caractères (+0.1%) (Cfr. fig. 4.5.3-1).

Les figures 4.5.4-1, 2 & 3 montrent respectivement les résultats de binarisations analogique (appliquée sur la sortie du lecteur), par seuil + gradient + hystérèse et par Laplacien + hystérèse sur un même document.

Au vu de ces documents, on peut constater une amélioration sensible et croissante de la qualité des caractères binarisés. Cette différence est clairement visible pour certains caractères : boucles des a, e, g, ...

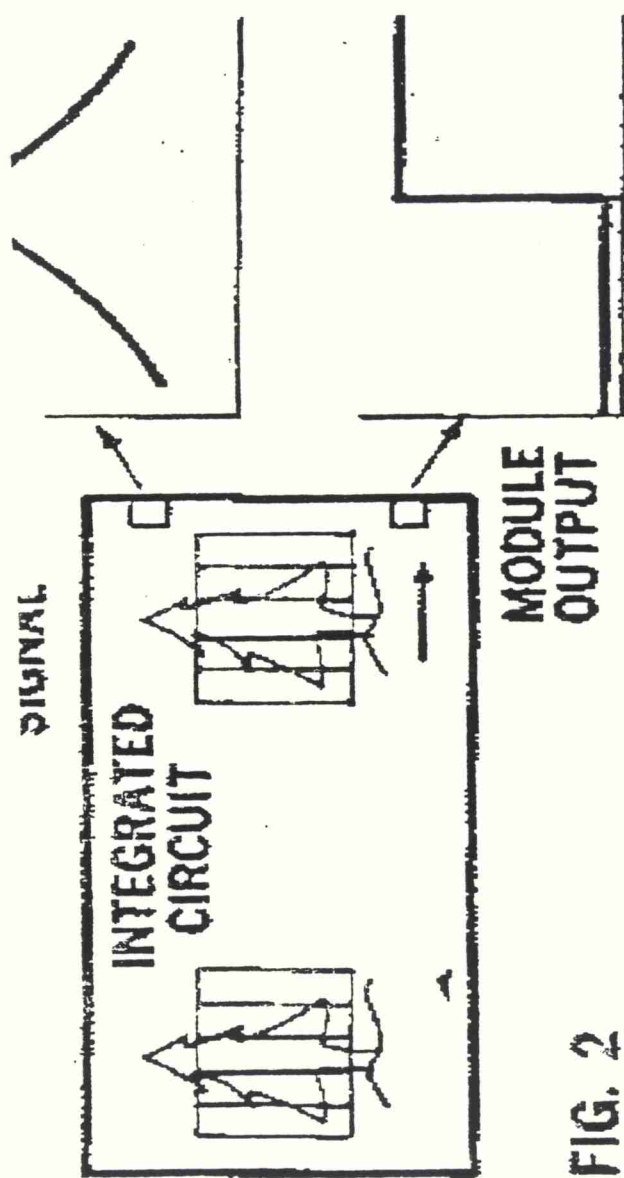


FIG. 2

with two light-sensitive detector areas. The IC compares the images that fall on the two detectors and produces an output voltage, called a correlation signal, that is greatest when the two images are most alike. Thus if one image were to move across the detector area (arrow), a correlation-signal peak would be reached the instant the images were in identical positions. At the same time, the IC would produce a signal that is

... you use
the lens to its
position you press
the spring motor
until it is in

sensor (left).
The signal is then
sent to the Auto-
module (right). Its two
light-sensitive
detectors can
be seen in rec-
tangular panel
at center of
sensor.



-BINARISATION Seuil + Grad. + Hyst. -

HBN = 1

HNB = 2 (niveaux de gris)

seuil = 55% de la Dynamique.

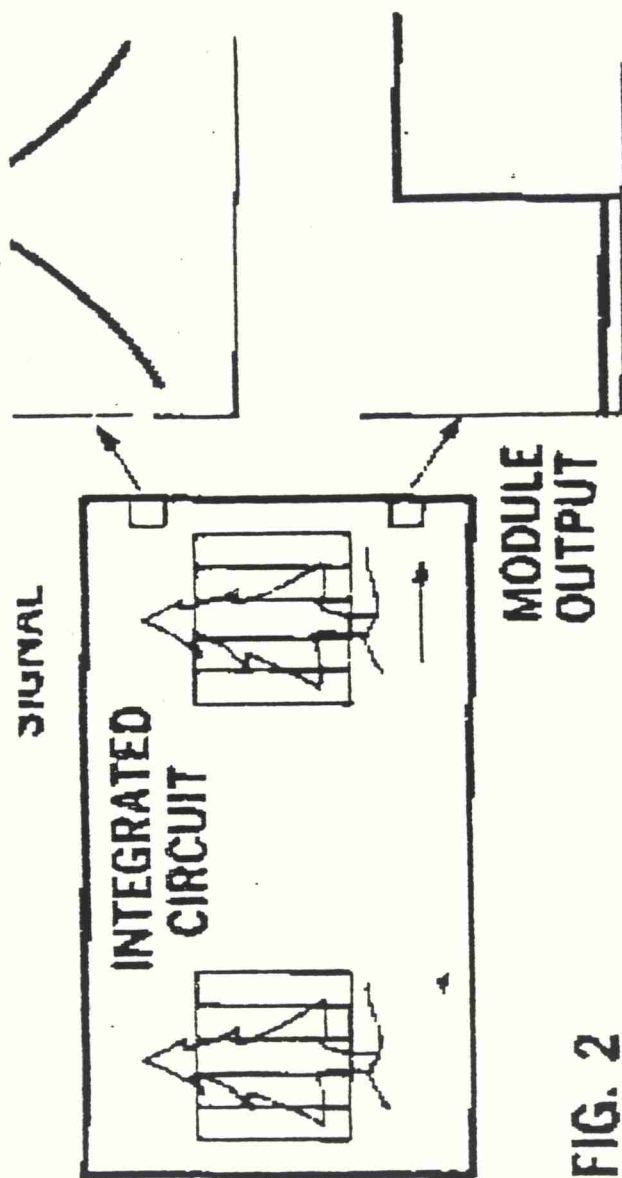


FIG. 2

with two light-sensitive detector areas. The IC compares the images that fall on the two detectors and produces an output voltage, called a correlation signal, that is greatest when the two images are most alike. Thus if one image were to move across the detector area (arrow), a correlation-signal peak would be reached the instant the images were in identical positions. At the same time,

the lens to its
when you press
spring motor
until it is in

C sensor (left).
plugs into Auto-
focus module
below). Its two
light-sensitive
detectors can
be seen in rec-
tangular panel
center of
sensor.



Noir=80% Blanc=30% Fond=4% et Hyst=2% de la Dynamique.

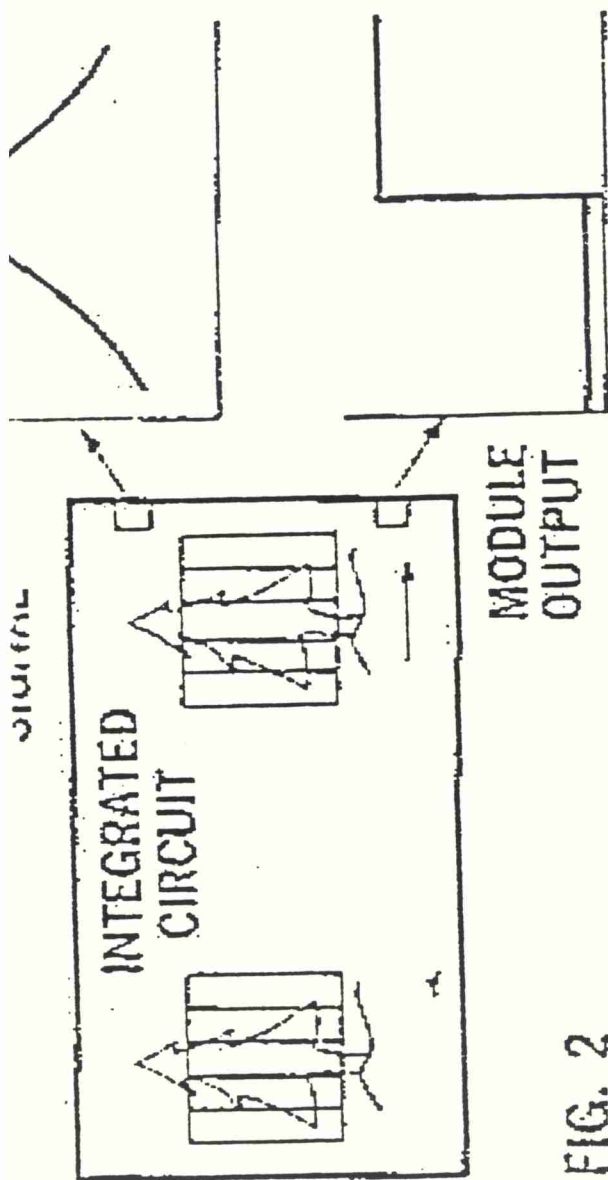


FIG. 2

with two light-sensitive detector areas. The IC compares the images that fall on the two detectors and produces an output voltage, called a correlation signal, that is greatest when the two images are most alike. Thus if one image were to move across the detector area (arrow), a correlation-signal peak would be reached the instant the images were in identical positions. At the same time,

he lens to its
ren you press
spring motor
until it is in

sensor (left).
lugs into Auto-
focus module
(below). Its two
light-sensitive
detectors can
be seen in rec-
tangular panel
center of
sensor.



4.6. PROGRAMME DE SIMULATION.

Deux programmes de simulation ont été écrits en langage PL/1 sur l'ordinateur PR1ME 750 de l'unité.

4.6.1. Binarisation de caractères (Réf. 5, 29).

Ce programme permet la manipulation et le traitement d'images contenant des caractères (24 * 32 pixels maximum). Le format d'entrée des pixels est de 6 bits ou 64 niveaux différents de gris, pour un bit en sortie.

Ces sorties binaires sont compatibles avec les programmes de reconnaissance de caractères développés dans l'Unité (Réf. 18 & 20) : les algorithmes proposés peuvent être testés et classés suivant leurs performances lors de la phase finale de la reconnaissance.

Ce programme, de plusieurs milliers de lignes, comporte deux parties :

- un ensemble de procédures utilitaires
 - + affichage binaire ou en niveaux de gris (16 nuances sur TEKTRONIX),
 - + impression de résultats,
 - + interfaces avec les autres programmes O.C.R. de l'unité,
 - + ...
- des traitements numériques des données
 - + algorithmes de binarisation,
 - + routines de pré- et post-traitement pour les images grises ou binaires,
 - + routines de bruitage pour les tests d'efficacité des algorithmes de binarisation,
 - + ...

La figure 4.6.1-1 présente le menu du programme. Des banques de données contenant au total plusieurs milliers de caractères numérisés sont disponibles. Ces banques proviennent de deux sources : MBLE & PHILIPS Ass. et BELL TELEPHONE.

Ce programme a servi à tester les algorithmes au niveau des caractères, et à déterminer les valeurs optimales du seuil de transition et des hystérèses.

ENT = Entree d'un caractere venant de BANK, IN(nom) ou FACSIM(nom)
 SKPn = Saut de n caracteres dans la banque
 PRT = Affichage au terminal du caractere analogique
 AFF = Affichage au terminal du caractere binarise
 VIS = Vision complete du caractere sur TEKTRONIX
 BRTh = Bruitage du caractere analogique
 BINn = Binarisation du caractere analogique
 TRTh = Post traitement binaire du caractere
 TRAN = pretraitement des niveaux de gris du caractere
 SPL = Transcription dans EDn, 1<n<=9 ou HARD COPY
 OUT = Transcription de la matrice entiere dans OUT.n, 1<n<=9
 TFM = Transformation d'HADAMARD et filtrage
 PER = Affichage du contour et du squelette
 END = *****
 LIS = Liste des instructions de ce programme
 COM = Commentaires detaillies des operations
 TEK = Affichage sur TEKTRONIX
 BEE = Affichage sur BEEHIVE
 HAR = Affichage inverse des caracteres sur TEKTRONIX
 NRM = Suppression de l'effet de la touche COM
 HIS = Histogramme du caractere
 CPRn = Comparaison de matrices
 DEFn = Defaut de la matrice
 NOR = POST = POSTRAIT
 REG = POST = ANTE
 RPL = ANTE = POST
 -----> SPL

Figure 4.6.1 - 1

4.6.2. Binarisation de pages.

Ce programme applique les algorithmes de binarisation développés sur des documents complets (pages grises contenant des caractères, des photographies et des graphiques).

Il permet de déterminer l'efficacité des algorithmes au niveau macroscopique : sensibilité aux défauts de lecture (éclairage non-uniforme, ...), comportement lors de la binarisation de graphiques, limites de la sensibilité des algorithmes (binarisation de mires, ...) (Fig. 4.6.2-1).

Des utilitaires permettent la visualisation et l'impression des résultats binaires sur l'imprimante à pointe du PR1ME 750.

Les banques de données sont constituées d'images numériques (6 bits par pixels) de documents réels. Elles proviennent de MBLE & PHILIPS Ass. : un lecteur, relié à un ordinateur VAX, lit les documents et les stocke sous forme grise sur disque.

Une trentaine de documents sont stockés et traités :

- pages grises contenant uniquement des caractères d'une fonte donnée (OCRA, OCRB, LIGHT ITALIC, COURRIER 12, ...), en vue d'essai des algorithmes de binarisation et de leurs estimations après segmentation et reconnaissance (Fig. 4.6.2-2),
- pages grises contenant des caractères et des graphiques. On peut vérifier le bon comportement des algorithmes de binarisation sur les graphiques (traits fins, hachurages, ...) (Fig. 4.6.2-3).

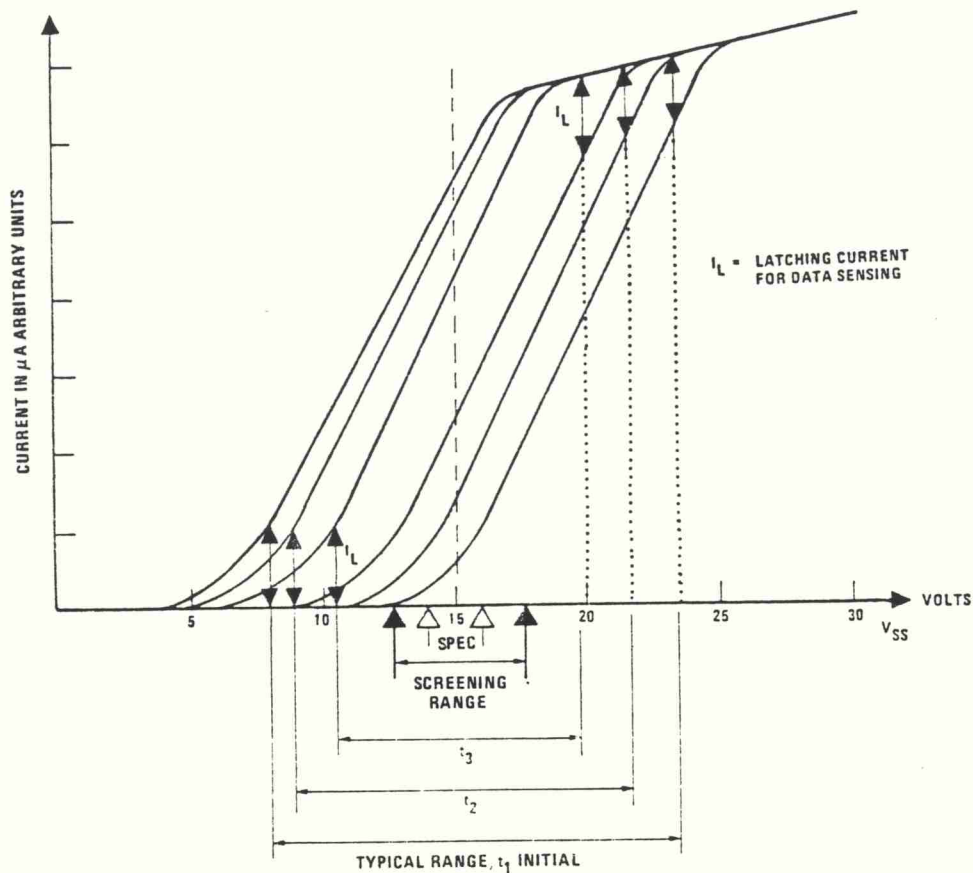


Fig. 7. Operating ranges of MNOS memory circuit.

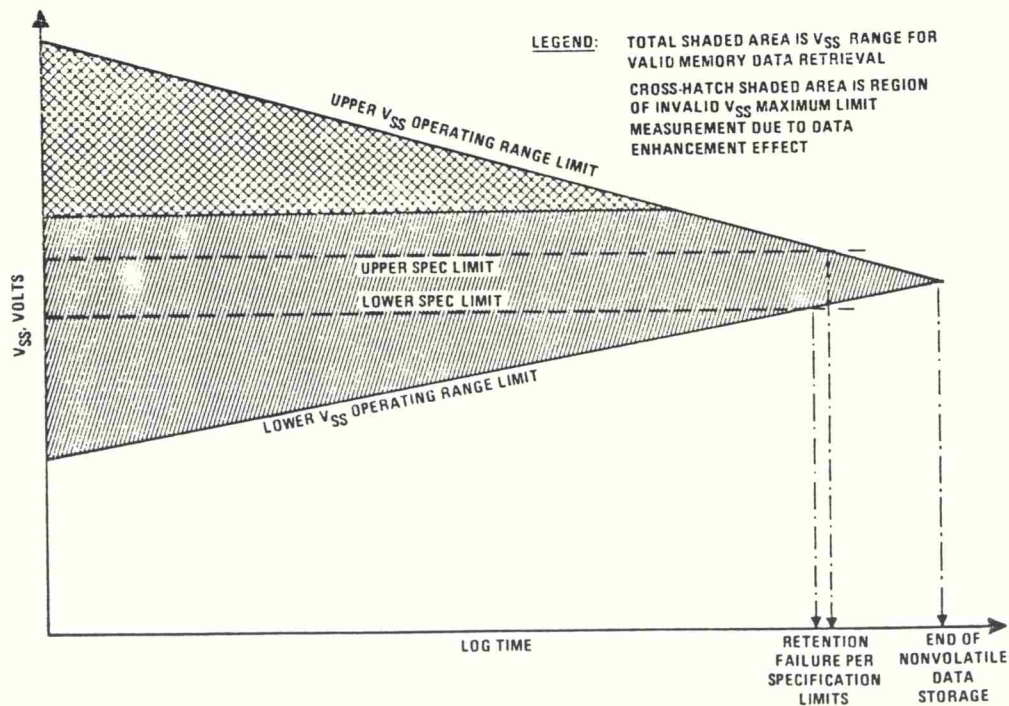


Fig. 8. Deduced operating range of the MNOS memory device.

comparison to zero-bias retentivity (Fig. 9). The reduction of V_{SS} margin for devices initially set is significantly greater than for the same devices having gone through a

minimum number of read access cycles. For devices having reached a V_{SS} minimum level of 13 V, the rate of V_{SS} reduction is <0.75 V per 10^{10} read-disturbs. The interpola-

CHAPITRE 5

TRANSFORMATION EN PSEUDO-GRIS.

5.1. INTRODUCTION

L'analyse des pixels d'une page grise dans l'échelle des gris (histogramme), a montré l'existence de deux types de répartitions bien distinctes : les caractères et les graphiques d'une part, et les photographies d'autre part.

L'histogramme d'une page grise ne contenant que des caractères et des graphiques a une forme typique, caractérisée par deux pics dans la répartition des pixels (Fig. 5.1-1). Ces derniers proviennent du bipolarisme de l'information : traits noirs sur fond blanc.

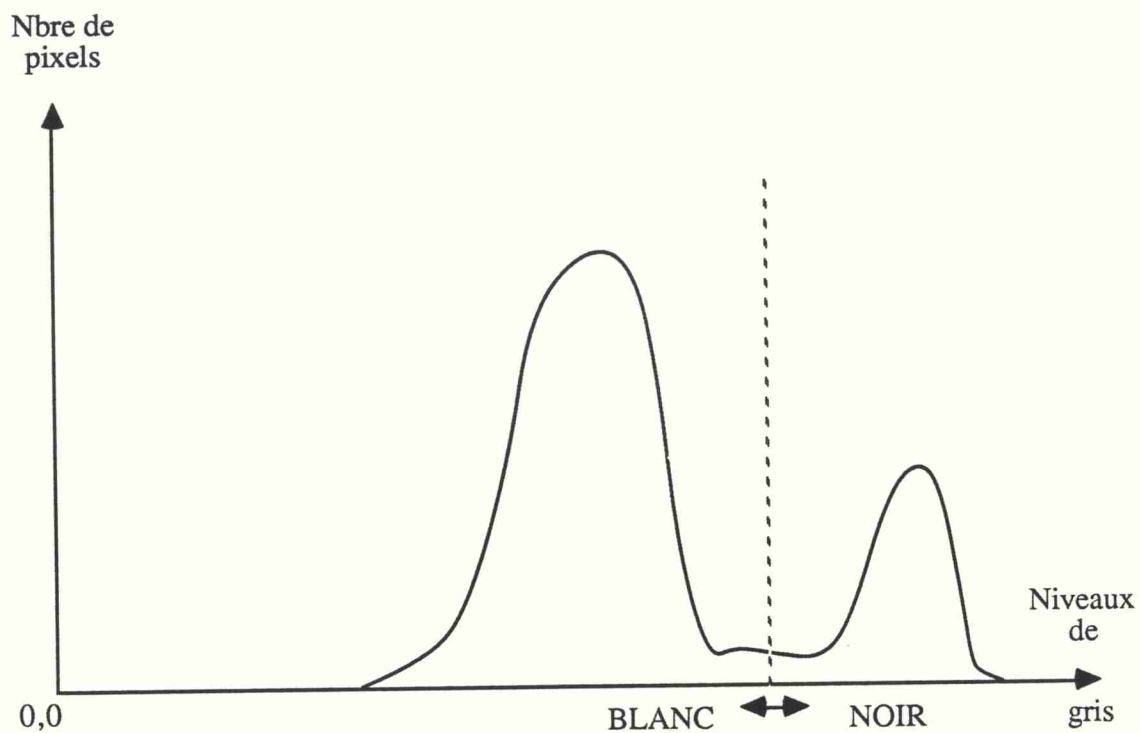
La répartition des valeurs des pixels d'une photographie est très différente : l'information photographique réside dans une succession de nuances grises (cfr télévision, ...). L'histogramme typique (Fig. 5.1-2) montre une plage de valeurs grises occupées, et non plus deux pics de localisation préférentielle.

L'application des méthodes classiques de binarisation, efficaces lors de la bipolarisation de l'information aboutit à une destruction du contenu photographique du document ("effet Frankenstein", chap. A3).

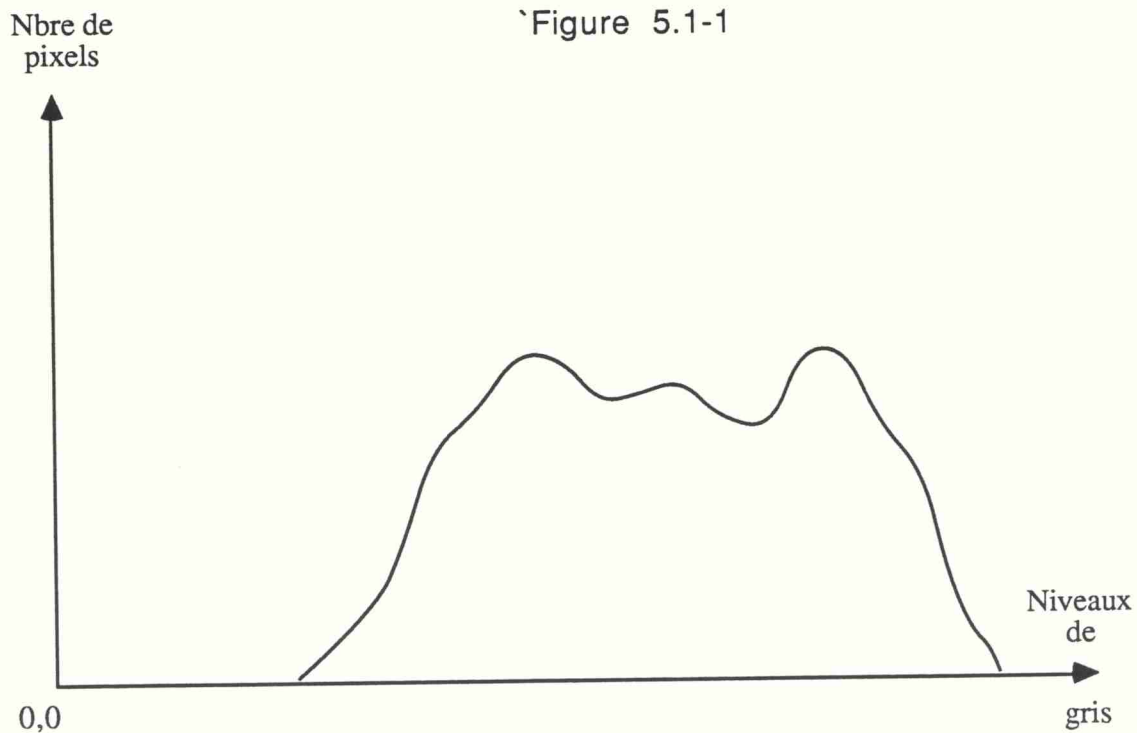
Le maintien de la lisibilité de l'information photographique après transformation binaire justifie la recherche d'une méthode de transformation binaire spéciale. On lui donne le nom de "transformation en demi-teintes" ou "transformation en pseudo-gris" (Halftone) (Réf. 13).

Le rendu photographique est assuré comme suit :

- au niveau microscopique (le pixel) : la transformation binaire remplace chaque pixel gris du document original par un bit dont la valeur (1 ou 0, équivalent à NOIR ou BLANC) est déterminée par application d'un algorithme de transformation en demi-teintes;



Histogramme typique de caractères et graphiques
`Figure 5.1-1



Histogramme typique de photographies
Figure 5.1-2

- au niveau macroscopique (le document) : au départ de points noirs, l'oeil, par un effet d'intégration et d'interpolation interne, reconstitue les nuances de gris de la photographie.

Des procédés de rendu des photographies par transformation en demi-teintes, utilisant la faculté d'intégration et d'interpolation des yeux, sont abondamment employés dans la presse. Les figures 5.1-3 & 4 montrent une photographie extraite d'un hebdomadaire et un agrandissement (2 X) détaillant sa structure.

Les avantages d'une représentation pseudo-grise d'une photographie, par rapport à son maintien sous sa forme grise, sont :

- réduction de la quantité d'information. C'est important pour le stockage ou la transmission de documents contenant des photographies,
- facilité d'affichage et d'impression. Après lecture et transformation en pseudo-gris, une page peut être visualisée à l'aide d'un terminal ou d'une imprimante graphique adressés en mode point par point,
- possibilité d'analyse du document et d'extraction des différentes zones binaires le composant. Au départ, des versions binarisées et pseudo-grises, un algorithme de différenciation permet de distinguer les zones caractères/graphiques (BIN : zones binaires prises dans la version BINarisée du document) de celles photographiques (PSG : zones binaires prises dans la version PSeudo-Grise du document). Cette différenciation localise les zones BIN du document sur lesquelles les procédures de segmentation et de reconnaissance seront appliquées, et augmente l'efficacité du système O.C.R. en rationalisant l'application des opérations lentes (étape de reconnaissance des caractères).

Des études (Réf. 1,31), effectuées sur la faculté de perception des nuances prises par l'oeil, ont montré que celui-ci est apte à distinguer un maximum de niveaux de gris de l'ordre de la soixantaine (ces niveaux étant linéairement étalés du blanc au noir). Une quantisation des pixels sur 6 bits ($2^6 = 64$ niveaux de gris) est donc un minimum suffisant.

Figures 5.1-3 (Tirée du SOIR)
et 5.1-4 (x 2).



5.2. METHODES EXISTANTES

Afin de réduire la quantité d'information à traiter, à stocker, ou à transmettre, de nombreuses méthodes de représentation binaire des photographies ont été proposées : Electronic Screening, Ordered Dither, ... (Réf. 6, 7, 8, 9, 10, 11, 12, 13, 14). Les principales différences entre ces méthodes résident dans le choix de la fenêtre de travail et dans la matrice de comparaison.

Les méthodes de transformation en pseudo-gris peuvent être définies comme des algorithmes de binarisation avec seuil variable. La valeur du seuil de comparaison dépend de la position du pixel traité dans le document (Fig. 5.2-1).

Le nombre de valeurs de seuil est directement lié à la quantité de nuances pseudo-grises (ou demi-teintes) que l'on désire reproduire : un seuil unique donne 2 niveaux de gris (binarisation) et 2^n seuils permettent de reproduire $(2^n + 1)$ demi-tons (transformation en pseudo-gris).

5.2.1. Electronic Screening

Cette méthode est la version électronique de celle utilisée dans l'imprimerie pour la reproduction des photographies : les nuances de gris sont représentées par des points noirs de dimensions variables régulièrement espacés (CONVENTIONAL HALFTONE) (Réf. 6) (Fig. 5.2.1-1a, b).

La surface de l'image est divisée en blocs de mêmes dimensions : Tessellation. Les pixels de chaque bloc sont ensuite comparés avec leurs correspondants contenus dans un bloc de référence. Si cette comparaison est positive, l'équivalent binaire du pixel est "1" ou NOIR, sinon "0" ou BLANC (Fig. 5.2.1-2).

La taille du bloc de comparaison dépend du nombre de niveaux pseudo-gris que l'on désire reproduire. Les positions et les valeurs des seuils, à l'intérieur du bloc de comparaison, sont déterminées en fonction de la répartition souhaitée. La croissance du "point" pseudo-gris Electronic Screening (formé par l'adjonction de plusieurs pixels noirs) en fonction de la valeur grise, se rapproche de l'évolution du point de taille variable utilisé en imprimerie. Le bloc de comparaison de la figure 5.2.1-3 autorise la reproduction de 18 niveaux pseudo-gris différents.

5.2.2. Ordered Dither

Appelée aussi "Pseudo-Random-Thresholding", cette méthode ne construit pas, comme la précédente, un point noir de taille variable, mais crée un nuage de pixels noirs (de dimension unitaire : "Constant size Halftone"). Ce nuage est d'autant plus dense statistiquement que le bloc analysé à un niveau moyen de gris élevé.

Le principe de comparaison reste identique : le document est divisé en blocs dont les pixels sont comparés avec leurs homologues contenus dans le bloc de référence appelé "cellule unitaire" (Fig. 5.2.2-1).

Les valeurs de comparaison dans la cellule unitaire sont réparties de manière pseudo-aléatoire suivant un principe qui sera exposé en 5.3.

5.2.3. Choix de la transformation en demi-teintes

L'utilisation courante des deux méthodes exposées ci-dessus, est due à leur meilleur rendu visuel des photographies, ainsi qu'à leur résistance aux effets de MOIRE (formation de structures macroscopiques régulières et parasites).

Le choix final s'est porté sur la méthode "Ordered Dither" pour les raisons suivantes (Réf. 6) :

- meilleur rendu des hautes fréquences photographiques,
- cellule unitaire carrée (adressage plus aisé des pixels en mémoire),
- possibilité de distinguer caractères et graphiques d'une part, et photographies d'autre part, en corrélant les versions binarisées et pseudo-grises d'un document (Chap. A.6.).

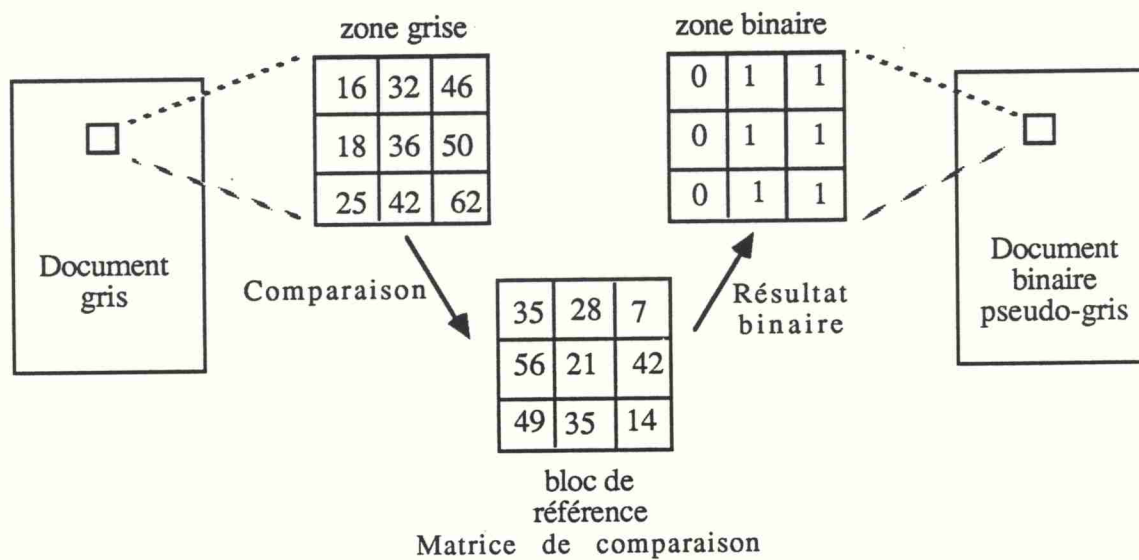
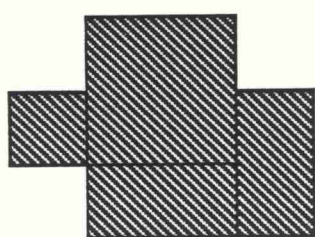
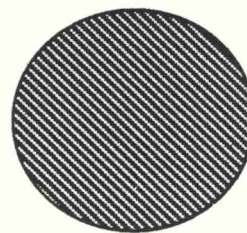


Figure 5.2-1



Electronic Screening

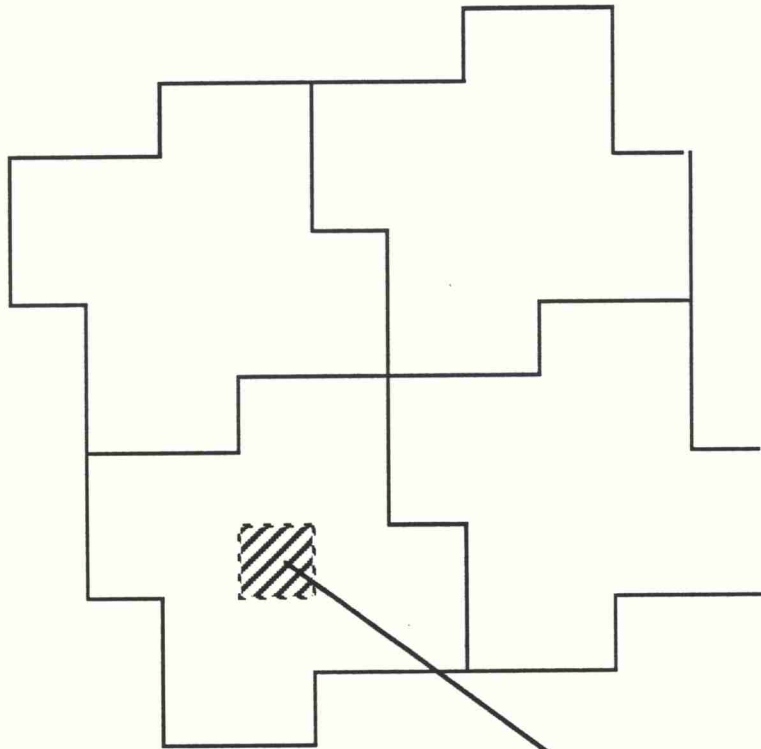
(a)



Conventional Halftone
(imprimerie)

(b)

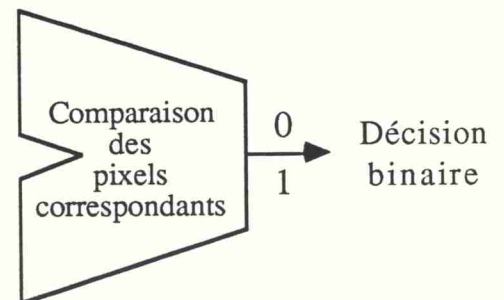
Formation d'un point
Figure 5.2.1-1



Tessellation du document
Figure 5.2.1-2

		42	50	
57	52	23	18	
38	29	9	13	48
	54	45	31	55
	60	58		

Bloc de comparaison
Figure 5.2.1-3



ELECTRONIC SCREENING

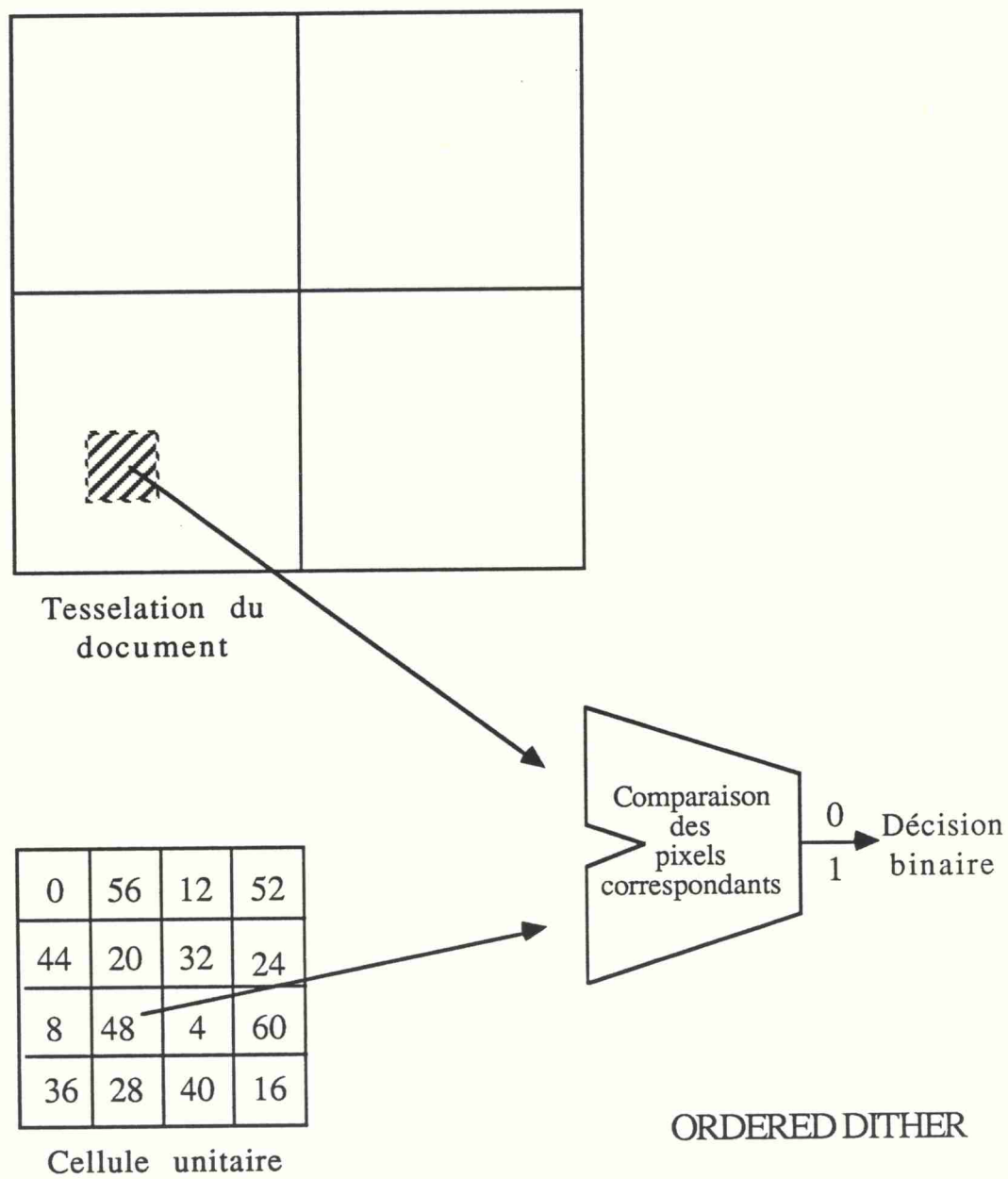


Figure 5.2.2-1

5.3. CONSTITUTION DE LA CELLULE UNITAIRE DE LA METHODE ORDERED DITHER CHOISIE

La définition d'une cellule unitaire de base capable de reproduire 4 nuances de gris, ainsi que son extrapolation à des cellules unitaires plus complexes (2^n nuances de gris et $n > 2$), doivent tenir compte de deux impératifs :

- éviter la formation de structures de MOIRE,
- bien représenter les hautes fréquences spatiales (succession de seuils de valeurs extrêmes).

MAKINO (Réf. 13) a établi un schéma de construction récurrente d'une cellule unitaire, suivant la méthodologie suivante :

- détermination d'une cellule unitaire de base, dite de degré 1, qui respecte les impératifs énoncés ci-dessus. Dans cette cellule unitaire de base (Fig. 5.3-1), on retrouve une alternance (verticale et horizontale) des grandeurs de valeurs grises (0-2, 3-1, 0-3, 2-1) qui répond bien au désir d'une bonne représentation des hautes fréquences spatiales, ainsi qu'une diagonalisation croisée des valeurs grises fortes et faibles (0-1, 2-3) qui minimise la formation de structure de MOIRE en compensant un axe diagonal de valeurs faibles par un autre perpendiculaire de valeurs fortes.
- formation d'une cellule unitaire de degré m en reportant les mêmes principes (Fig. 5.3-2). Le nombre de nuances reproductibles est lié à l'ordre de la cellule : pour un degré m , 4^m teintes sont disponibles.

$$D^1 = \begin{vmatrix} 0 & 2 \\ 3 & 1 \end{vmatrix}$$

Figure 5.3-1

$$U^1 = \begin{vmatrix} 1 & 1 \\ 1 & 1 \end{vmatrix} \qquad U^m = \begin{vmatrix} U^{m-1} & U^{m-1} \\ U^{m-1} & U^{m-1} \end{vmatrix}$$

$$D^m = \begin{vmatrix} 4 \cdot D^{m-1} & 4 \cdot D^{m-1} + 2 \cdot U^{m-1} \\ 4 \cdot D^{m-1} + 3 \cdot U^{m-1} & 4 \cdot D^{m-1} + U^{m-1} \end{vmatrix}$$

Figure 5.3-2

$$D^3 = \begin{vmatrix} 0 & 32 & 8 & 40 & 2 & 34 & 10 & 42 \\ 48 & 16 & 56 & 24 & 50 & 18 & 58 & 26 \\ 12 & 44 & 4 & 36 & 14 & 46 & 6 & 38 \\ 60 & 28 & 52 & 20 & 62 & 30 & 54 & 22 \\ 3 & 35 & 11 & 43 & 1 & 33 & 9 & 41 \\ 51 & 19 & 59 & 27 & 49 & 17 & 57 & 25 \\ 15 & 47 & 7 & 39 & 13 & 45 & 5 & 37 \\ 63 & 31 & 55 & 23 & 61 & 29 & 53 & 21 \end{vmatrix}$$

Figure 5.3-3

La faculté de l'oeil ne permettant la distinction que d'une soixantaine de nuances (Chap. A.1), un degré 3 s'avère suffisant : 64 tons et une tessellation du document en blocs de 8 * 8 pixels (Fig. 5.3-3 : matrice MAKINO d'ordre 3).

5.4. Mise en oeuvre : DYNAMIQUE UTILISEE ET DILATATION DE L'IMAGE GRISE

Afin de prévenir toute saturation accidentelle du photocapteur (décharge totale des photocellules avant échantillonnage) et une perte partielle ou totale de l'information, toute la dynamique disponible n'est pas utilisée au niveau du lecteur.

Un document "blanc" à fort pouvoir de réflexion (référence) est utilisé afin de fixer l'intensité de la source de lumière correspondant à la décharge maximale admise des photocellules du lecteur : on définit de cette manière, le point de référence 0. Les documents courants, ayant un pouvoir de réflexion plus faible, auront un niveau minimum supérieur au 0 de référence défini ci-dessus. Cette protection (contre la saturation des photocellules) a pour conséquence le déplacement vers la droite de la portion de dynamique utilisée : l'image numérisée "brute", à la sortie de l'ADC, est plus foncée que le document original.

Pour assurer, après transformation en pseudo-gris, une reproduction correcte des nuances de la photographie originale, le document numérisé est préalablement dilaté sur la dynamique totale. Ensuite, ses pixels sont comparés avec une cellule unitaire unique, composée de seuils régulièrement espacés dans l'intervalle $(0, 2^n - 1)$.

La figure 5.4-1 donne le schéma de principe de la méthode :



Figure 5.4-1

L'algorithme de comparaison s'écrit :

$$X_{i,j'} \geq C_{m,n}$$

où $X_{i,j'}$ est la valeur après dilatation du pixel $X_{i,j}$.

m et n sont les coordonnées relatives du pixel dans le bloc où il se situe après tessellation du document.

Les relations entre i et m , j et n sont donc liées directement à la structure du bloc. Par exemple, pour une tessellation en blocs de $8 * 8$ pixels (utilisation d'une matrice MAKINO d'ordre 3), on a les relations simples suivantes :

$$m = i \text{ modulo } 8$$

$$n = j \text{ modulo } 8.$$

$C_{m,n}$ est la valeur du seuil de comparaison extrait de la cellule unitaire : ligne m et colonne n .

On développe :

$$(X_{i,j} - \text{MOYB}) * (2^n - 1) / (\text{MOYN} - \text{MOYB}) \geq C_{m,n}$$

ou encore

$$(X_{i,j} - \text{MOYB}) \geq C_{m,n} * (\text{MOYN} - \text{MOYB}) / (2^n - 1).$$

La même fonction $A * B / (2^n - 1)$, déjà citée en A.4 (binarisation) est utilisée. Son intégration dans le circuit intégré sera présentée dans la partie B du travail.

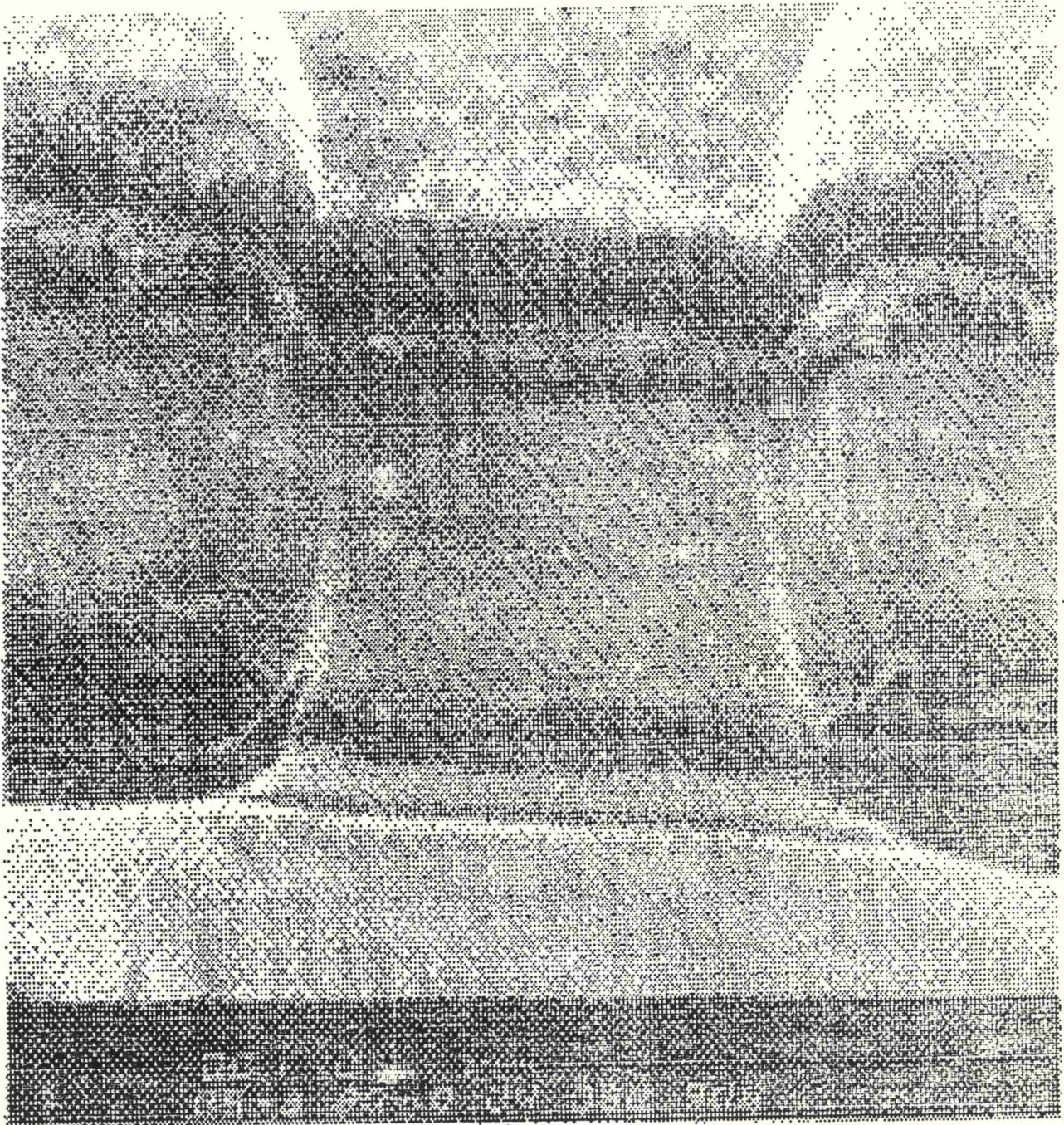
5.5. RESULTATS

Les figures 5.5-1, 2 & 3 donnent des détails de documents après transformation en pseudo-gris. Ces documents proviennent essentiellement de revues et ont été numérisés avec 6 bits/pixels (source MBLE & PHILIPS Ass.). La cellule unitaire est de degré 3 (64 teintes) et la tessellation exécutée pour des blocs de $8 * 8$ pixels. Ces résultats binaires ont été imprimés en mode point par point à l'aide de l'imprimante du PR1ME. Un programme de simulation, écrit en PL/I, tourne sur PR1ME.

La figure 5.5-4 montre les 64 nuances de pseudo-gris disponibles : la méthodologie de formation pseudo-aléatoire des teintes est bien visible.

La figure 5.5-5 est la version pseudo-grise de la mire de test déjà utilisée dans l'évaluation de la binarisation : le bon rendu des dégradés de gris y est mis en évidence.

Dans tous ces documents pseudo-gris, on constate la qualité médiocre des caractères et graphiques (voir aussi la figure 5.5-6). Ceci justifie l'utilisation d'une double transformation binaire, suivie d'une différenciation caractères-graphiques et photographies. L'algorithme de différenciation proposé sera présenté au chapitre suivant.

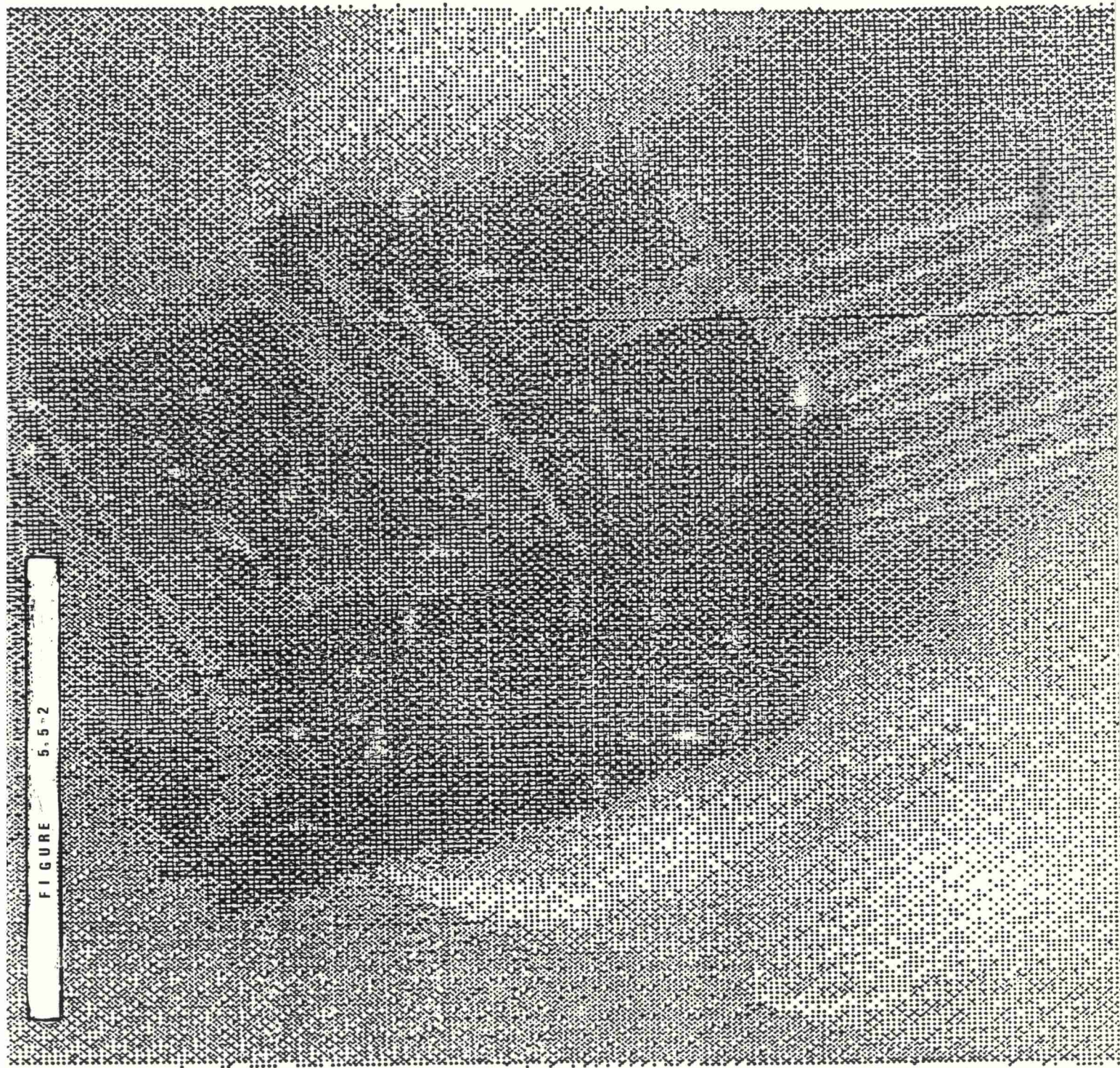


(b)

Fig. 8. SEM pictures of a SIMOS sectional views show the stacked region. (c) The overlap area between electrical erasure takes place in control gate is about $6\text{ }\mu\text{m}$.

and, in 1989, for auto-focus use on several Kodak Colorimage 1000 cameras. The \$50,000 donation, technical modules, and the equipment have been stored in a rooming manager, being managed and produced and

FIGURE 5.5-2



protection, moving, zooming, Th. Honda, can be fact both in 117, noun ing a got

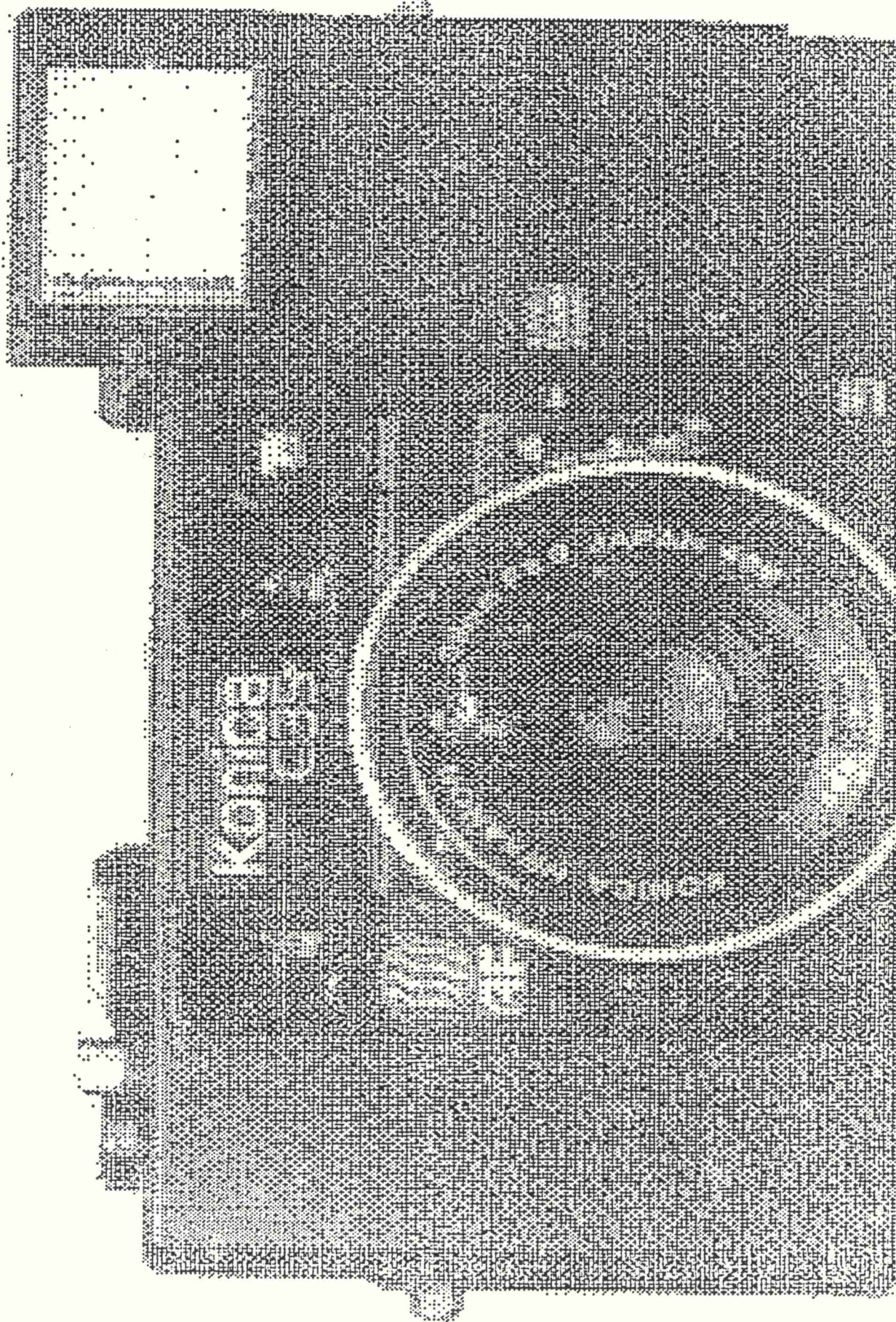


Figure 3.5-3

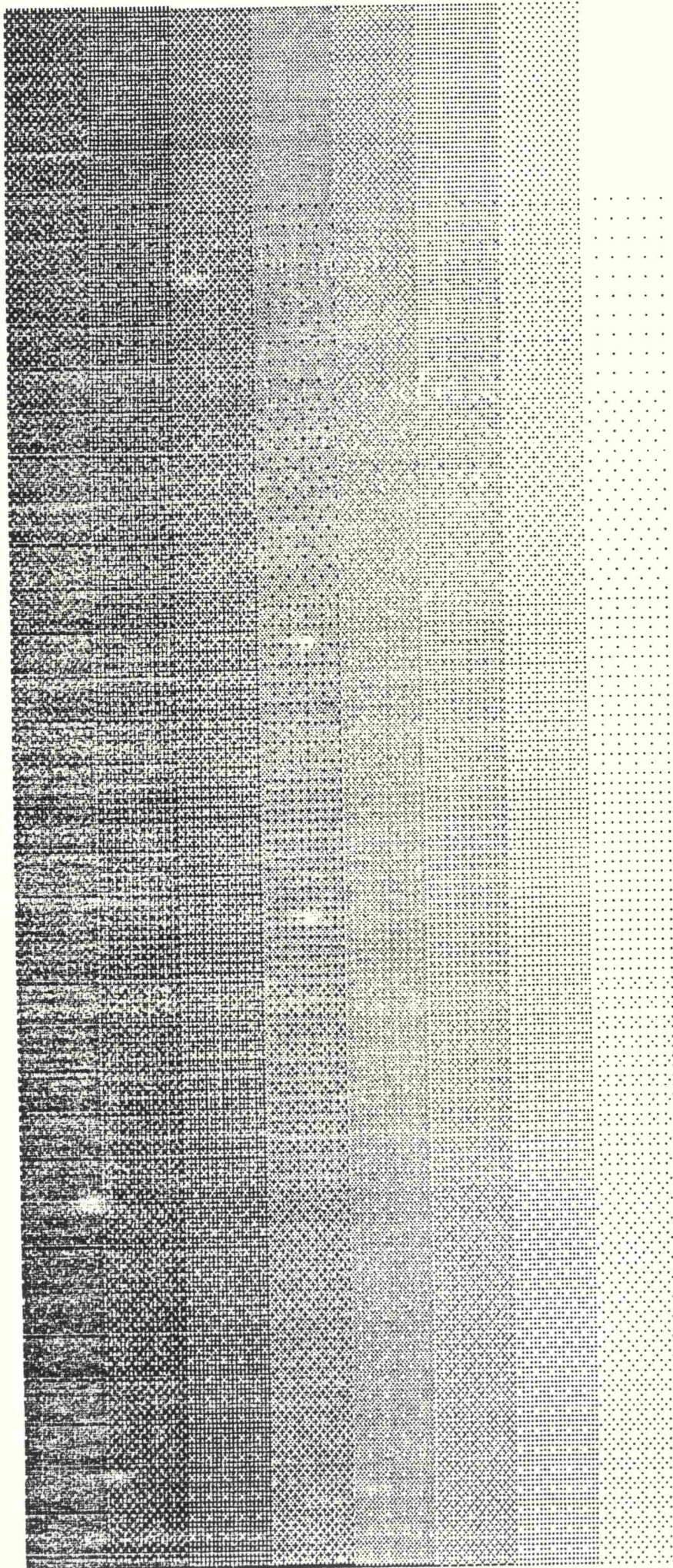


Figure 5.5-4

04 TES 1000 1032
 für Fernkopierer
 nach DIN 32742 Teil 7

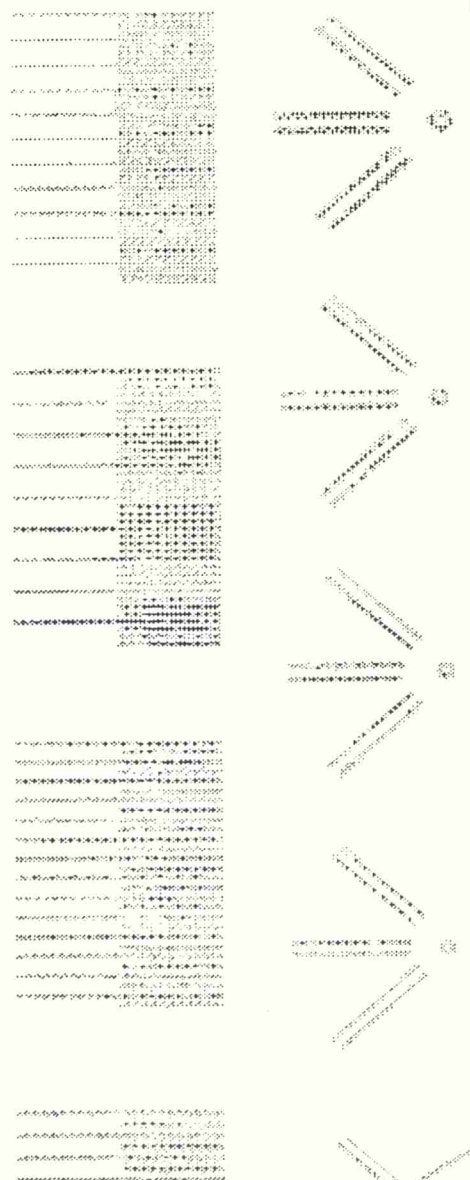
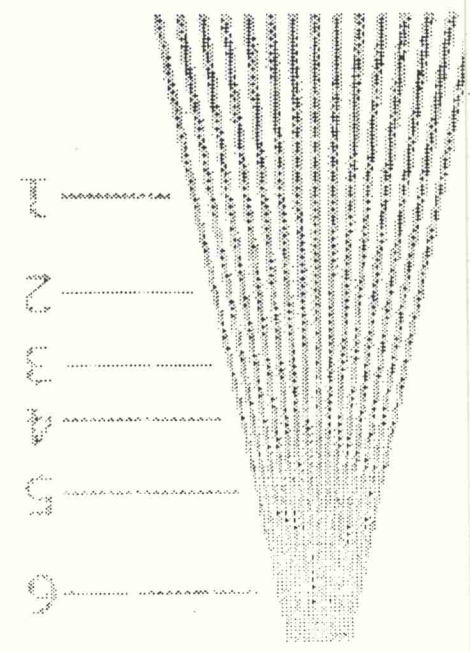
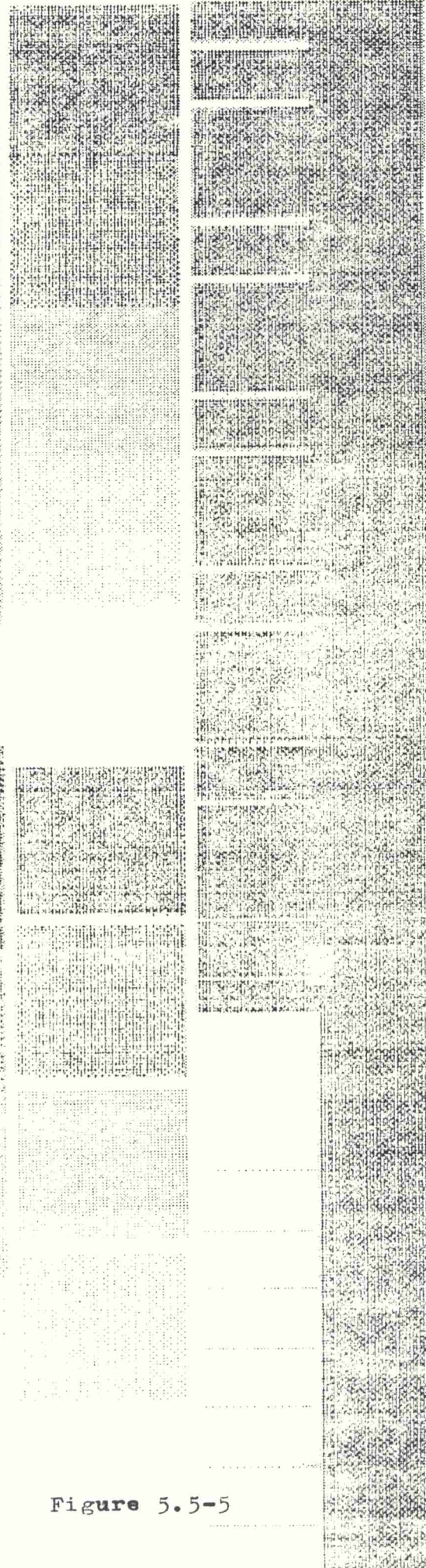


Figure 5.5-5

chemically, shows if the focusing system is working. At top is a symbol of a mountain (infinity); at bottom, of a head (close-up).

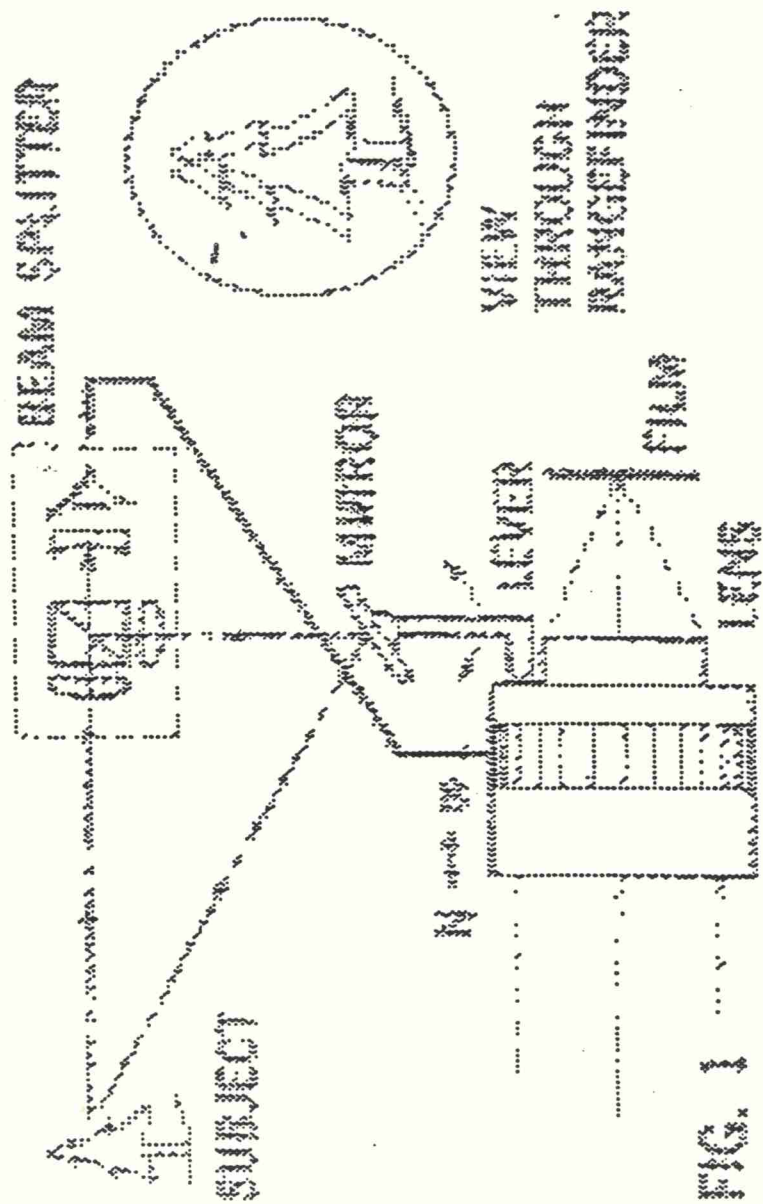


FIG. 1

To see how the Visitronic module does its job, look first at a conventional coincident-image rangefinder (Fig. 1). Its optical system produces two super-

graphy exposures last fall: three cameras (Fuji, Elmo, and Sanyo) and an SLR lens (Asahi).

Dimensions of Jewell's success are gauged by the fact that although Nikon (P.S. Aug. 1971) and Canon announced auto-focus systems, neither beyond proto-

Figure 5.5-6

CHAPITRE 6

ALGORITHME DE DIFFERENCIATION PSEUDO-GRIS/BINARISE.

6.1. INTRODUCTION

Un document peut être considéré, de manière générale, comme un ensemble ordonné de caractères, de graphiques et d'images qui sont porteurs de l'information utile.

La transformation binaire adéquate étant différente, d'une part pour les caractères et les graphiques (binarisation), et d'autre part pour les images (transformation en pseudo-gris) (Réf. 13, 15, 17, 29), il est indispensable de pouvoir différencier (discriminer, discerner) ces deux constituants. Rappelons que caractères et graphiques sont analysés, segmentés et envoyés au module de reconnaissance des caractères (Réf. 18, 19, 20), tandis que les images sont traitées séparément (codage propre, ...) (Fig. 6.1-1). Les zones caractères/graphiques seront appelées Bin (zones à retirer de la version Binarisée du document), et celles des photographies Psg (zones à retirer de la version Pseudo-Grise du document) dans la suite de l'exposé.

La recherche et la définition d'un algorithme de différenciation pseudo-gris a été effectuée en collaboration avec R. BARBIER.

L'idée de base de l'existence d'une fonction de discrimination provient d'un article succinct de MAKINO (Réf. 13) présenté aux paragraphes 3 et 4 du présent chapitre. La méthode développée, ensuite, est le fruit de notre recherche.

6.2. DONNEES D'ENTREE

Les données de base, nécessaires à la distinction pseudo-gris/binaire, sont deux images binaires de l'entière du document gris numérisé : les résultats de la binarisation et de la transformation en pseudo-gris du document.

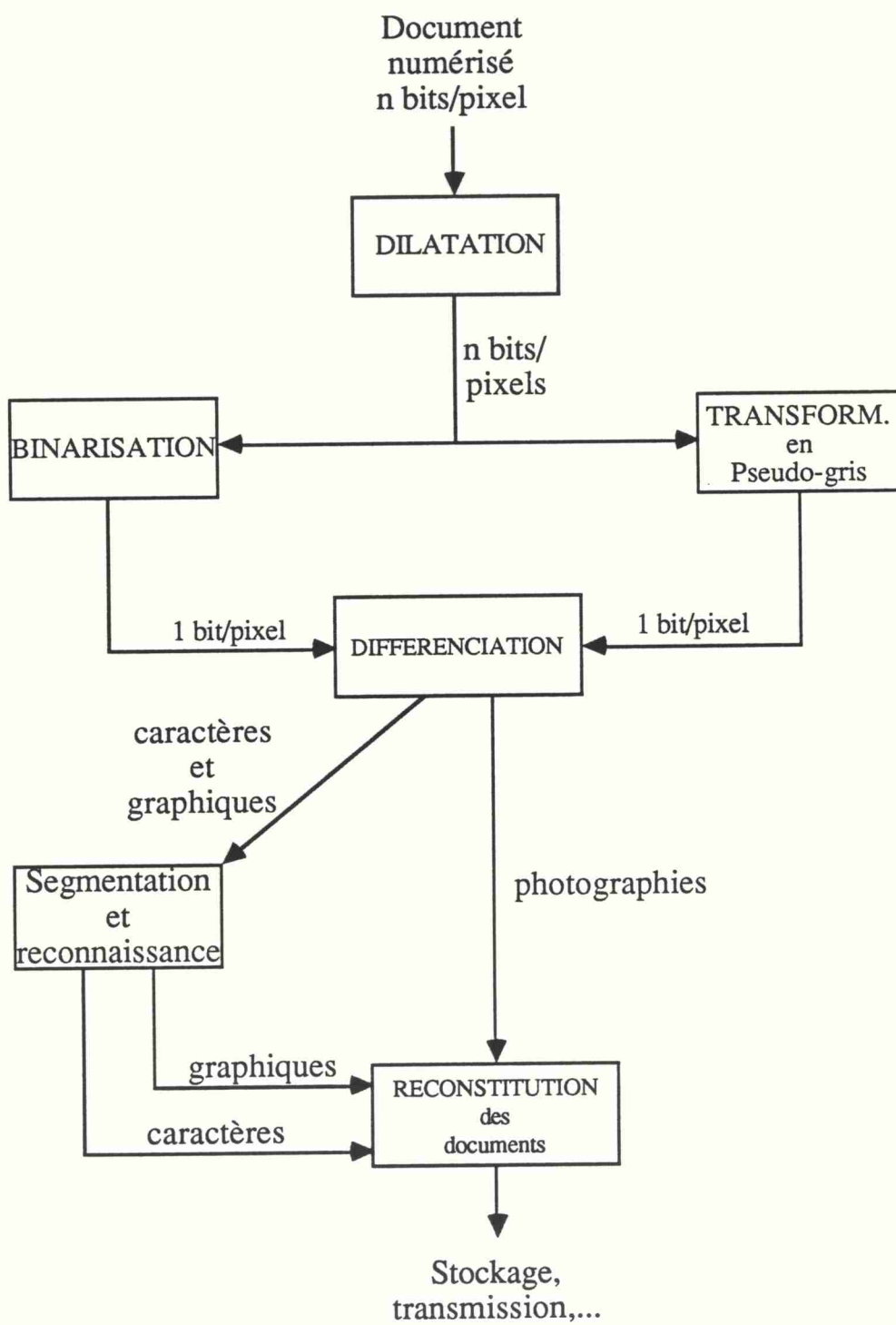


Figure 6.1-1

6.3. DONNEES SUPPLEMENTAIRES

La méthode de différenciation utilisée repose sur la définition d'une surface de décision binarisé/pseudo-gris décrite dans un espace tridimensionnel dont les axes sont :

AX : nombre de points noirs par unité de surface, dans l'image binarisée (FI_BIN),
AY : nombre de points noirs par unité de surface, dans l'image pseudo-grise (FI_PSG),
AZ : nombre de points noirs par unité de surface, dans l'image de corrélation décrite ci-dessous (FI_COR).

Une image binaire supplémentaire (FI_COR) est, à cet effet, définie par une corrélation (fonction "ET" logique) entre pixels correspondants dans les versions FI_BIN et FI_PSG :

$$COR_{i,j} = BIN_{i,j} \& PSG_{i,j}$$

avec

$BIN_{i,j}$ un pixel binarisé
 $PSG_{i,j}$ son correspondant pseudo-gris
 $COR_{i,j}$ le résultat de la corrélation
& la fonction "ET" logique.

En appliquant cette fonction logique, à l'ensemble des pixels du document, on construit sa version binaire corrélée FI_COR.

6.4. FONCTION DE DISCERNEMENT : DEFINITION ET DOMAINE DE DECISION

Les données de base de la fonction de discernement sont les trois images binaires du document, à savoir FI_BIN, FI_PSG et FI_COR.

Chacune de ces images est divisée en blocs de $8 * 8$ ou $16 * 16$ pixels (tesselation) : le même canevas est imposé et aucun recouvrement entre blocs n'est autorisé.

Une condition nécessaire à l'application utile de cette méthode est la suivante : les dimensions des blocs doivent être impérativement supérieures à la largeur des traits (caractères et graphiques), afin de pouvoir distinguer un trait noir (caractères ou graphiques) d'une zone noire (photographies) : l'environnement seul permet de distinguer l'un de l'autre (environnement blanc pour un trait); la dimension des blocs est un paramètre donné par l'utilisateur, en fonction par exemple de la taille et de l'épaisseur des caractères de la fonte utilisée.

L'algorithme de différenciation associera à chaque bloc, après décision, une étiquette Bin, Psg ou Fond :

- Bin : bloc binaire contenant des caractères et des graphiques,
- Psg : bloc binaire contenant les photographies,
- Fond : bloc binaire constituant le fond (blanc) du document.

Pour chacun des blocs, on dispose de trois informations :

- le nombre x de pixels noirs dans le bloc extrait de FI_BIN
- le nombre y de pixels noirs dans le bloc extrait de FI_PSG
- le nombre z de pixels noirs dans le bloc extrait de FI_COR.

Dans l'espace tridimensionnel (AX, AY, AZ), les points (x , y , z) des blocs sont reportés. On peut constater que les catégories (Bin, Psg, Fond) y forment trois nuages de points. La discrimination de la catégorie Fond est simple : une limite supérieure sur (AX, AY) suffit. En effet, les images binaires FI_BIN et FI_PSG sont construites après dilatation du document numérisé initial. Par définition de la fonction de dilatation utilisée, cela signifie que le niveau de gris du fond du document numérisé DILATE est quasi-nul. Les algorithmes de binarisation et de transformation en demi-teintes sont appliqués sur ce dernier document, et donnent par conséquent une décision BLANC majoritaire pour tous les pixels composant le fond du document. Les primitives dans ces blocs valent : $x \approx 0$ et $y \approx 0$, ce qui autorise une discrimination simple de la catégorie Fond par l'application d'un seuil sur (AX, AY). Pour une tessellation en blocs de $16 * 16$ pixels, le test suivant a été appliqué dans les simulations :

si $x \leq 2$ et si $y \leq 2$, alors le bloc appartient à la catégorie Fond.

La dichotomie restante est basée sur un apprentissage préalable sur un ensemble de tests et la détermination d'une surface séparatrice.

Le principe de la dichotomie Bin/Psg est le suivant : une image fortement contrastée, comme un caractère ou une portion de graphique, subissant la transformation en pseudo-gris présentera, selon le principe de la méthode, localement un nombre de points noirs d'autant plus grand que le niveau de gris initial était élevé. Cette image sera donc fortement corrélée avec sa représentation binarisée.

Les régions "a" pointées par une flèche dans les figures 6.4-1 (Document pseudo-gris) et 6.4-2 (Document binarisé) illustre le principe énoncé.

A l'opposé, une portion d'image à faible contraste, supposons-la uniforme pour simplifier le raisonnement, sera soit toute noire, soit toute blanche (régions "b" et "c" de la figure 6.4-2) après binarisation, mais sera parsemée pseudo-aléatoirement de points noirs dans sa version pseudo-grise (régions "b" et "c" de la figure 6.4-1).

Entre ces deux extrêmes, existe une infinité de solutions.

who, in 1984, for auto-focus
uses on several
Kodak Carou-
revel
o take a look-
asure' fee of
The \$30,000
ation, technical
advises, and the
modules from
instructors have
m, reports Ron
kling manager,
proforma and

a

revel

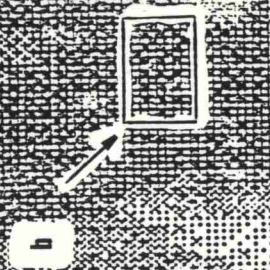
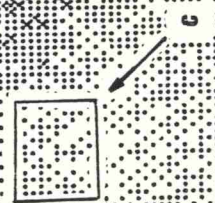


Figure 6.4-1



ector auto-focus
use on several
e Kodak Carou-
neywell invited
o take a look—
losure" fee of
a. The \$50,000
ation, technical
modules, and the
modules from
nufacturers have
m, reports Ron
rketing manager.
prototype auto-

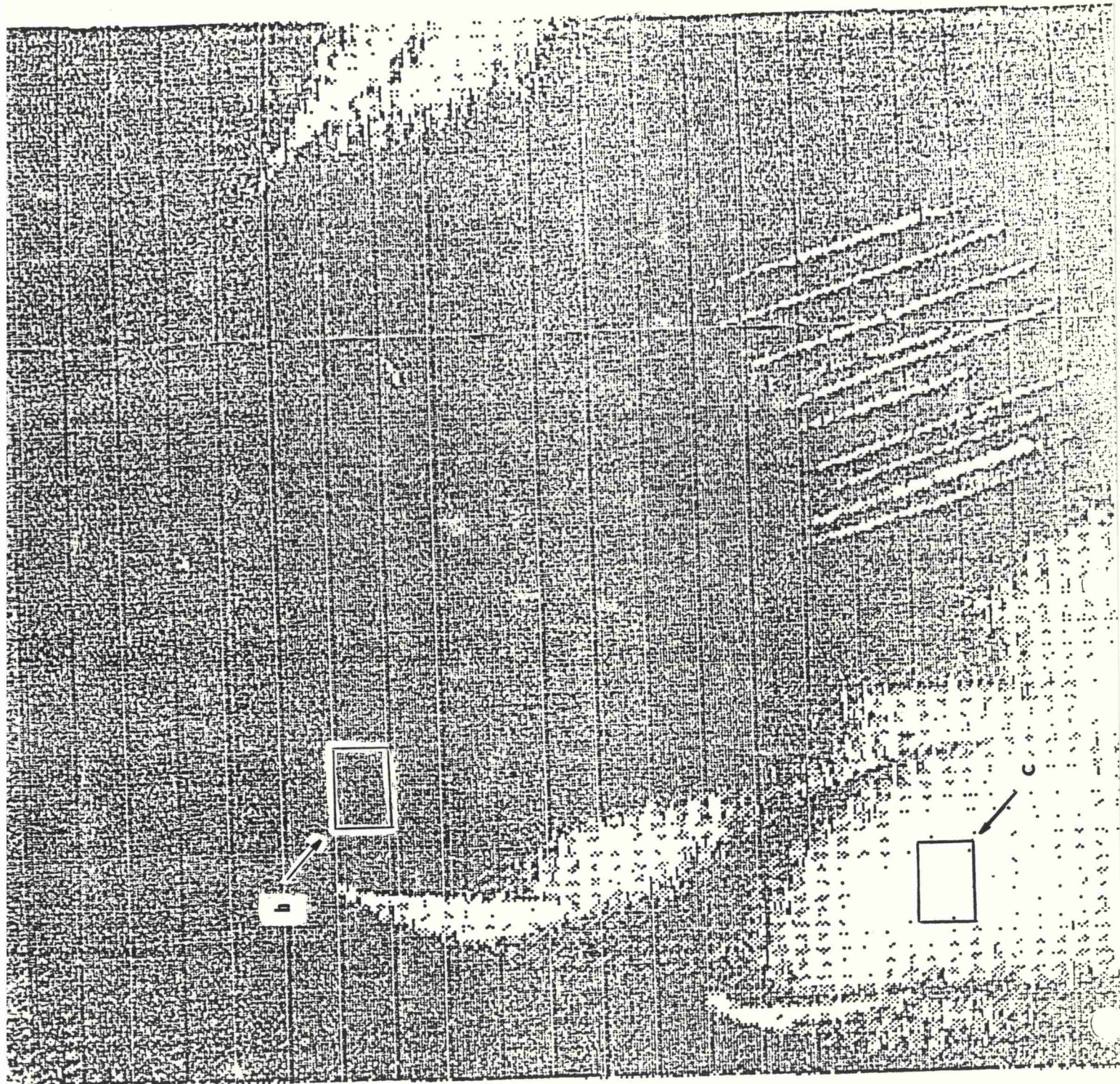


Figure 6.4-2

6.5. UTILISATION DE LA DYNAMIQUE MAXIMALE

Afin de définir une fonction de discernement unique et indépendante du document lu ainsi que du lecteur utilisé (protection contre la saturation des photodiodes, ...), il s'avère indispensable de générer les versions binaires du document numérisé après sa dilatation sur la dynamique maximale (chapitres 4, § 4.3.5 et 5, § 5.4).

Cependant après dilatation, le fond du document pseudo-gris n'est pas uniformément blanc ($y \approx 0$), mais plus ou moins fortement grisé ($y \gg 0$), vu la répartition des valeurs grises des pixels formant le fond du document, autour de la moyenne MOYB utilisée dans la fonction de dilatation. La discrimination simple Fond / autres (Psg, Bin) au paragraphe précédent (limites supérieures sur le nombre de pixels NOIRS dans les versions binarisées et pseudo-grises : $x \leq 2$ et $y \leq 2$) rejette dans la catégorie Psg (zones binaires contenant des photographies) les zones appartenant de fait au fond du document, mais ne remplissant pas la double condition citée.

Une modification de la fonction de dilatation permet de palier à cet inconvénient. Il est important de préciser que cette correction de la fonction de dilatation ne modifie en rien les performances de la discrimination Psg / Bin développée dans ce chapitre.

6.6. CORRECTION APPORTEE A LA FONCTION DE DILATATION

La fonction de dilatation définie est, rappelons-le :

$$X_{i,j}' = (X_{i,j} - \text{MOYB}) * (2^n - 1) / (\text{MOYN} - \text{MOYB})$$

MOYB représente la valeur moyenne minimale prise par les pixels du document numérisé. Si l'on augmente cette valeur MOYB d'un nombre GLISS correspondant à la différence entre cette valeur MOYB et les pixels des plus hauts niveaux de gris constituant encore le fond du document, on obtient un nouveau paramètre MOYBC (MOYB corrigée) qui, introduit dans la fonction classique de dilatation, donnera à coup sûr, un fond blanc ($y \approx 0$) dans la version pseudo-grise du document (Fig. 6.6-1). Les zones "fond" du document numérisé seront blanches dans les versions binarisées ($x = 0$), pseudo-grises ($y = 0$) et corrélées ($z = 0$).

On a :

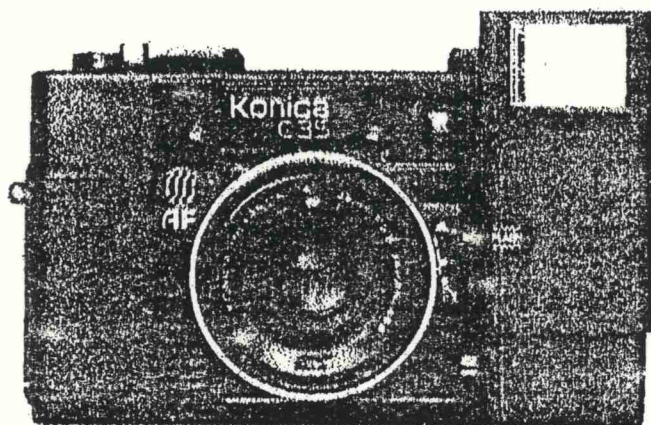
$$X_{i,j}' = (X_{i,j} - \text{MOYBC}) * (2^n - 1) / (\text{MOYN} - \text{MOYBC})$$

Avec $\text{MOYBC} = \text{MOYB} + \text{GLISS}$.

Une plage de valeurs pour GLISS a été déterminée en calculant, sur les différents documents en notre possession, la moyenne et l'écart type des pixels constituant le fond des documents : la moyenne calculée représente MOYB, et l'écart type GLISS.

THROUGH THE VIEWFINDER

By EVERETT H. ORTNER



At last: automatic focusing

Flip the film-advance lever of the Konica C35AF camera, and you have not only advanced the film 38 mm and cocked the shutter—you have also moved the lens forward to its point of closest focus and wound up a spring that, at this moment, exists on no other camera on the market.

Released when you press the shutter-release button, the spring rotates a rangefinder mirror that simultaneously scans the scene at which the Konica is aimed and moves the lens backward. The movement halts when an electronic module built into the camera tells it that the lens is in focus. Only then, within the 100 milliseconds (1/10 second) that a full scan from nearest focus to infinity would take, does the shutter open to take the picture.

The device that makes this automatic-focusing system possible is the Visitrone Auto-Focus (VA/F) module, designed, manufactured, and marketed by Honeywell. It is the product of 10 years' work by Honeywell scientist Norman L. Stauffer and a small group of engineers. (Stauffer is also the man who, in 1964, invented the slide-projector auto-focus system that is still in use on several projectors, including the Kodak Carousel.)

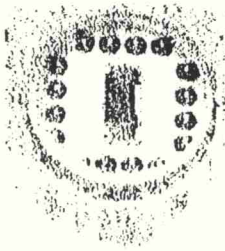
Two years ago Honeywell invited camera manufacturers to take a look—for an "advance-disclosure" fee of \$50,000—at its module. The \$50,000 bought technical information, technical support, some sample modules, and the right to buy still more modules from Honeywell. Thirteen manufacturers have now joined the program, reports Ron Brown, Honeywell's marketing manager. Four of them showed prototype auto-focusing units at Photokina, the German

photography exposition, last fall: three movie cameras (Eumig, Elmo, and Sanyo) and an SLR zoom lens (Asahi).

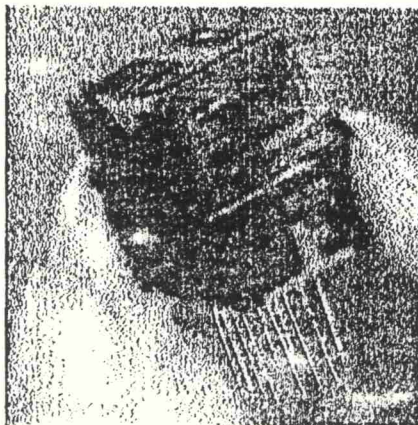
The dimensions of Honeywell's success can be gauged by the fact that although both Nikon [PS, Aug. '71] and Canon announced auto-focusing systems, neither got beyond prototypes. Konica deserves credit, too, for being first off the

starting line with a production camera. "That Visitrone system has been around for a long time," says Peter Ildau, vice president of Konica Camera Co., "but we're the first to put it in a camera." That took some doing. The camera hardware—a spring motor—is almost as ingenious as the auto-focusing module.

With the Visitrone system in the Konica C35AF, focusing is as simple and automatic as exposing the film with an auto-exposure system. When you advance the film, you rack the lens to its most forward position. When you press the shutter release, the spring motor racks the lens rearward until it is in



IC sensor (left) plugs into Auto-Focus module (below). Its two light-sensitive detectors can be seen in rectangular panel in center of sensor.



focus. It's probably nothing that will ever bother you, but you can't take a picture with the object in the center out of focus. There is no way to override the automatic focusing.

The auto-focus carries over into flash. With the Konica's built-in electronic flash up (in shooting position), the camera first focuses, then sets the lens aperture based on point of focus, then checks the focus, then fires. A pointer at the side of the lens, linked to it mechanically, shows if the focusing system is working. At top is a symbol of a mountain (infinity); at bottom, of a head (close-up).

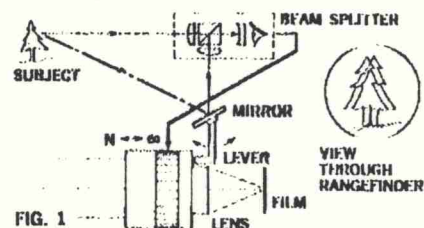


FIG. 1

To see how the Visitrone module does its job, look first at a conventional coincident-image rangefinder (Fig. 1). Its optical system produces two superimposed images of the subject as seen from slightly displaced points (windows in camera). When the mirror (and with it, typically in a modern camera, the lens) has been adjusted so that the two images are exactly superimposed, the lens is in focus.

Now suppose that instead of the elements in Fig. 1's dotted box (beam splitter and eye), you had an integrated circuit (IC) that could sense the matched-image relationship. Fig. 2 shows such an IC, 2.6 mm by 8 mm,

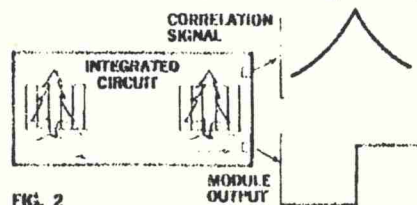


FIG. 2

with two light-sensitive detector areas. The IC compares the images that fall on the two detectors and produces an output voltage, called a correlation signal, that is greatest when the two images are most alike. Thus if one image were to move across the detector area (arrow), a correlation-signal peak would be reached the instant the images were in identical positions. At the same time, the IC would produce a step-function voltage change that, with external control circuitry, would control the position of the lens.

Fig. 3 shows, diagrammatically, the major elements of the Visitrone module: an optical system and the IC. Mirrors—one fixed, one moving—outside the module form the optical base of the rangefinder system. (The farther apart, the more accurate the system.) The prism in the module directs the two images through plastic lenses to the IC's light detectors.

In Fig. 4, we've got it all together: module, mirror system, and subject. The

Continued

6.7. MATERIAISATION DE LA FONCTION DE DISCERNEMENT

La discrimination la plus difficile est celle entre zones caractères/graphiques et photographies. La surface de discrimination a été déterminée dans l'espace (AX, AY, AZ) après apprentissage sur des documents réels. La surface de discrimination, séparant les nuages de points représentatifs des trois catégories, doit être mémorisée afin de faciliter son application sur divers documents.

Pour des blocs de 16 * 16 pixels, l'espace de définition de la fonction est un cube de 256 unités de côté. En effet, le nombre maximum de pixels noirs dans un bloc de 16 * 16 pixels tirés de FI_BIN, FI_PSG et FI_COR, est 256 et on a :

$$0 \leq x, y, z \leq 256$$

En supposant que :

- le type Fond soit préalablement discriminé par application d'un simple seuil;
- pour tout triplet (x, y, z), on connaît la décision de la discrimination :

'0' le bloc est de type Bin (caractères et graphiques)

'1' le bloc est de type Psg (photographies),

la mémoire indispensable pour emmagasiner la surface de décision serait de :

- 256 valeurs possibles pour x, y et z : 8 bits de description
- 3 * 8 bits de champs d'entrée (x, y et z)
- 1 bit de sortie (décision de la discrimination)
- 2^{8+8+8} bits soit 16 Mbits.

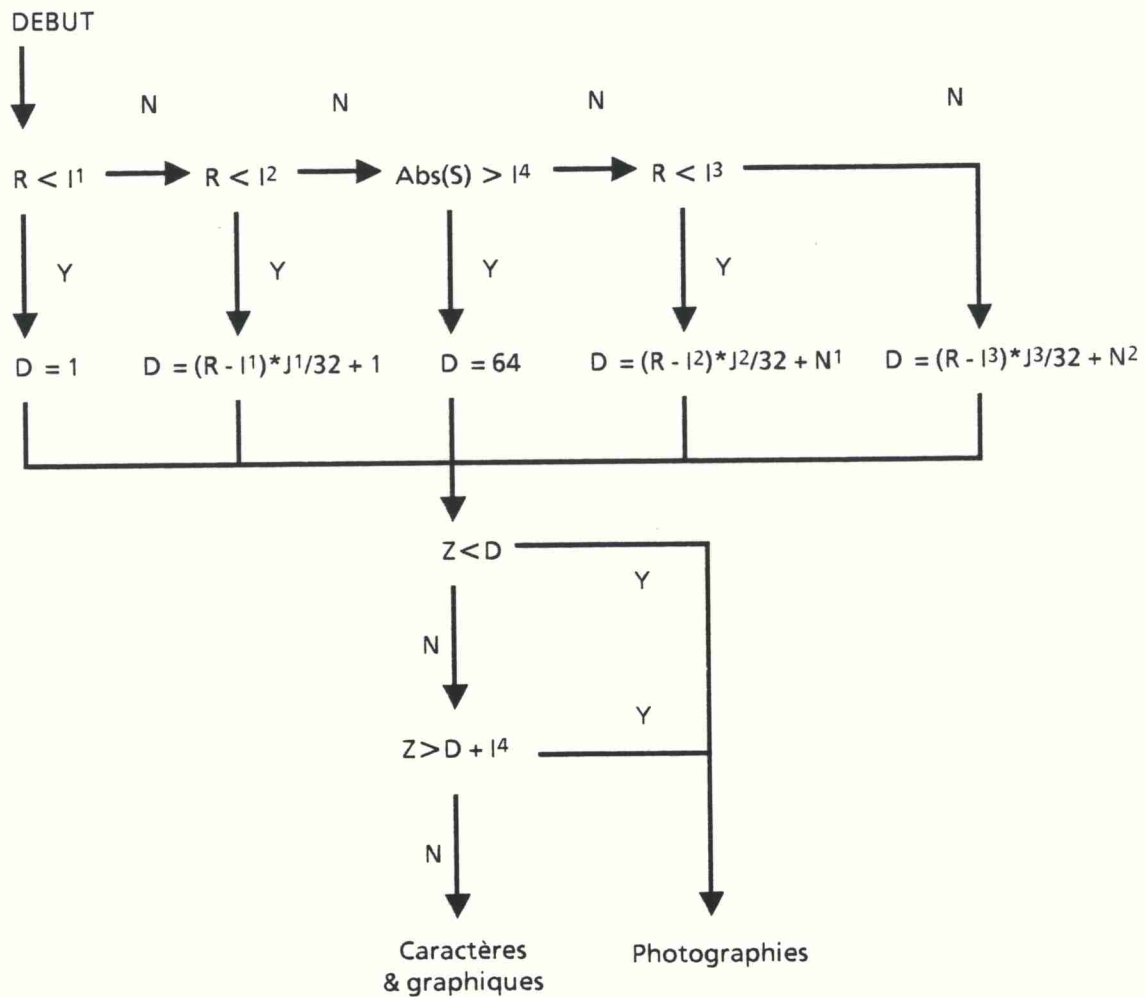
La taille de la mémoire, nécessaire à une telle matérialisation de la surface de discrimination Bin/Psg, entraîne le rejet de cette solution au profit d'une définition analytique de la surface de discernement.

Dans l'espace tridimensionnel (AX, AY, AZ), les deux catégories Bin et Psg forment deux nuages de points. A l'aide de plans, on subdivise cet espace afin de séparer les nuages Bin et Psg. La détermination des équations des différents plans de séparation est le résultat d'un travail basé sur une approche récurrente :

- "visualisation tridimensionnelle" par une série de coupes dans l'espace (AX, AY, AZ);
- estimation des coefficients de la description analytique de plans de séparation;
- test de l'efficacité sur des documents de la surface analytique de séparation décrite;
- ajustement des coefficients des plans existants et/ou ajout d'un plan supplémentaire.

Les avantages d'une telle description analytique sont le faible coût mémoire et la simplicité d'utilisation qui se réduit à quelques tests élémentaires.

Pour une tessellation en blocs de $16 * 16$ pixels, l'algorithme représentatif de la surface de séparation est donné, ci-dessous, à titre d'exemple.



avec $R = y + 2 * x$

$S = 2 * y - x$

$N1 = (I2 - I1) * J1/32 + 1$

$N2 = (I3 - I2) * J2/32 + N1$

x le nombre de pixels noirs dans le bloc analysé de FI_BIN

y le nombre de pixels noirs dans le bloc analysé de FI_PSG

z le nombre de pixels noirs dans le bloc analysé de FI_COR.

Les valeurs suivantes des paramètres ont été déterminées par simulation sur des blocs de 16 * 16 pixels :

$$I^1 = 4$$

$$I^2 = 136$$

$$I^3 = 346$$

$$I^4 = 13$$

$$J^1 = 4$$

$$J^2 = 7$$

$$J^3 = 31$$

$$J^4 = 59.$$

6.8. RESULTATS DE LA METHODE

L'algorithme de différenciation, ainsi précisé, a été appliqué sur un document gris (MT3_02, MBLE, 6 bits/pixel) contenant des caractères, des graphiques et des images.

Les performances (Fig. 6.8-1) ont été déterminées par comparaison avec des décisions idéales décrites manuellement.

Afin de vérifier l'impact du glissement GLISS sur les performances de l'algorithme de décision, plusieurs valeurs GLISS ont été choisies. Pour chacune d'entre-elles, le seuil de binarisation a été modifié et l'influence enregistrée.

Rappelons que le glissement est défini comme l'écart type des pixels du fond par rapport à leur moyenne. Après dilatation, cette moyenne est nulle (par définition de la fonction de dilatation). La valeur du glissement GLISS est rapportée à la dynamique totale (dans l'exemple ci-dessous, 6 bits/pixel, soit 64 niveaux de gris).

L'interprétation des résultats de la figure 6.8-1 aboutit à trois observations :

- un glissement trop important réduit la performance de l'algorithme de différenciation (pour un même seuil de binarisation). Cela s'explique de la manière suivante : un glissement supérieur à la variation des pixels de type Fond par rapport à leur valeur moyenne MOYB, réduit la dynamique utile. Les pixels de valeurs proches de celles du fond du document numérisé sont absorbés par celui-ci. Ils n'apparaissent plus dans la version FI_PSG du document comme zones à faible intensité et sont classés Fond. En conservant un même seuil de binarisation (18), le passage de la valeur du glissement de 15 à 18 se traduit par une importante diminution des performances de l'algorithme de différenciation (Voir fig. 6.8-1) :

- . zones Bin discriminées comme Psg : 1.8 % à 2.5 %
- . zones Psg discriminées comme Bin : 7.7 % à 12.1 %.

- l'influence de la valeur du seuil de binarisation est grande : le seuil, en grossissant (rétrécissant) les traits des caractères et/ou graphiques lors de la binarisation, augmente (réduit) la corrélation entre les versions FI_BIN et FI_PSG du document traité. Il apparaît que le discernement est le plus efficace pour des valeurs faibles du seuil.
Cependant, ces dernières favorisant les décisions NOIR lors de la binarisation, l'empâtement des traits risque d'être néfaste pour la reconnaissance des caractères (fermeture des boucles des a, e, g, ...). Un optimum doit être déterminé pour satisfaire les conditions d'une bonne discrimination et d'une reconnaissance performante des caractères.
- les performances de discernement les meilleures sont celles obtenues avec des valeurs GLISS et seuil BIN respectivement de 15 et 18.

GLISS	Seuil BIN	Nbre zones (Manuel.)		Nbre zones mal classées % zones mal classées			
		Bin	Psg	Bin discrim. comme Psg (a)		Psg discrim. comme Bin (b)	
		#	#	#	%	#	%
<u>15</u>	<u>18</u>	6345	2228	117	<u>1.8</u>	173	<u>7.7</u>
15	20	"	"	391	6.1	361	16.1
15	25	"	"	460	7.2	137	6.1
18	18	"	"	158	2.5	282	12.1
18	28	"	"	252	3.9	355	15.6

tesselation en blocs de 16 * 16 pixels

(a) zones Bin discriminées comme zones Psg,

(b) zones Psg discriminées comme zones Bin

Figure 6.8-1

6.9. TESSELATION AVEC RECOUVREMENT

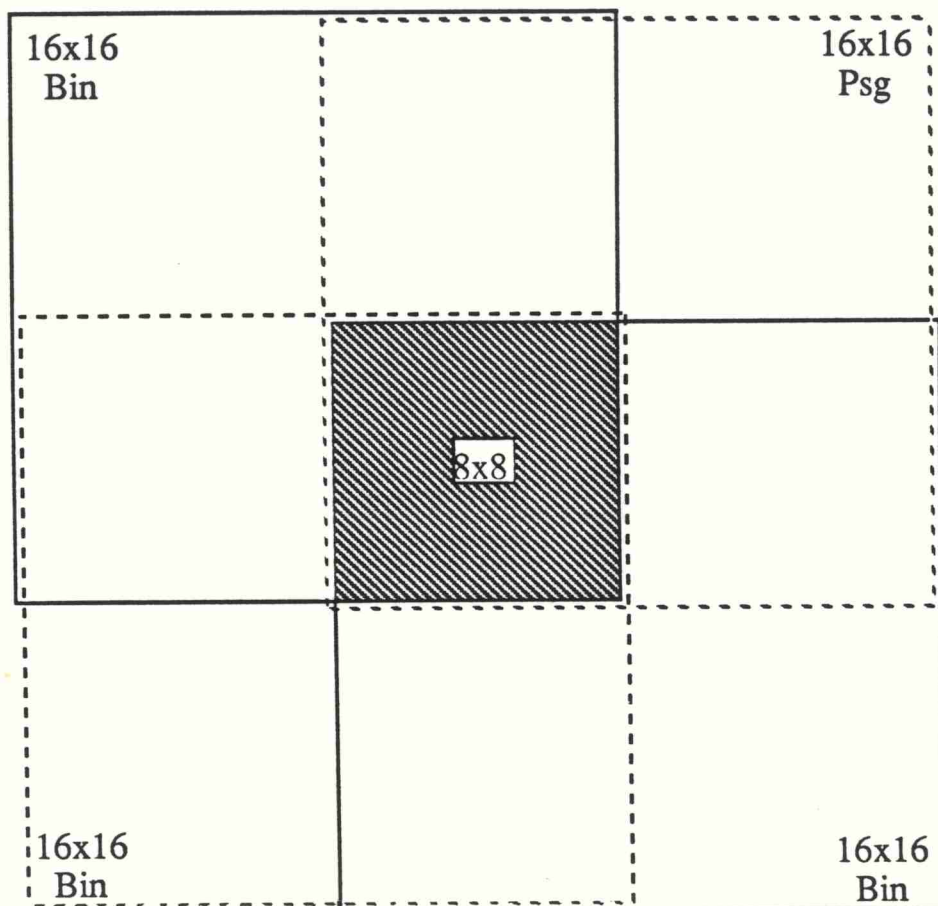
La manière d'utiliser la fonction de discernement définie a nécessité une étude approfondie de notre part, vu son impact sur les performances.

Le désavantage majeur de la méthode, décrite précédemment, réside dans l'application de la fonction de discernement sur des blocs pris indépendamment les uns des autres, sans prise en compte du voisinage.

Une tessellation en blocs avec recouvrement améliore sensiblement l'efficacité du processus de décision. Les blocs de 16×16 pixels sont construits en déplaçant une fenêtre de 16×16 par pas de 8 pixels dans les deux directions horizontale et verticale.

Sur chacun des blocs, une décision Bin/Psg est prise. On dispose alors de 4 décisions pour chaque sous-blocs de 8×8 pixels. La décision finale pour chaque bloc de 8×8 pixels est prise majoritairement (Fig. 6.9-1).

Pour les cas litigieux rencontrés (exemple d'indécision : (Bin, Bin, Psg, Psg)), les décisions associées sont celles qui, lors des multiples simulations, ont donnés les meilleurs résultats finaux de discrimination.



16x16 (Bin,Bin,Bin,Psg) -> 8x8 Bin

Figure 6.9-1

6.10. RESULTATS DE LA TESSELATION AVEC RECOUVREMENT

Cette méthode s'est avérée excellente : une réduction importante du nombre de décisions erronées a été constatée (Fig. 6.10-1). Lors de la comparaison avec la méthode précédente, il ne faut pas oublier que les résultats portent sur des blocs de 8*8 pixels, donc quatre fois plus nombreux que dans la tessellation en blocs de 16*16 pixels. La comparaison en % de discernement permet de constater l'amélioration des performances, en reprenant les mêmes valeurs de glissement GLISS et de seuil de Binarisation BIN observées comme meilleures combinaisons en 6.8-1.

GLIS	Seuil BIN	Nbre zones (Manuel.)		Nbre zones mal classées % zones mal classées				Fen.
		Bin	Psg	Bin discrim. comme Psg (a)		Psg discrim. comme Bin (b)		
				#	%	#	%	
15	18	16750	7428	182	1.0	255	3.4	8*8
15	18	6345	2228	117	1.8	173	7.7	16*16

(a) zones Bin discriminées comme zones Psg,

(a) zones Psg discriminées comme zones Bin

Figure 6.10-1

La quantité relative d'erreurs est donc divisée par un facteur proche de 2 :

- zones Bin discriminées comme Psg : 1.8 -> 1.0 %
- zones Psg discriminées comme Bin : 7.7 -> 3.4 %.

En étendant encore la prise en compte du voisinage, il est possible d'améliorer encore les résultats, comme le montrera le paragraphe suivant.

6.11. SEGMENTATION EN SUPERBLOCS ET DECISION MAJORITAIRE

L'idée qui sous-tend cette méthode consiste à exploiter les caractéristiques de composition d'une page : dans un document imprimé comprenant à la fois des zones binarisées et pseudo-grises, il n'existe pas, en général, de recouvrement ou continuité entre photographies d'une part, et caractères et graphiques d'autre part. En effet, des colonnes et des lignes blanches séparent ces zones de natures différentes. Il est donc possible d'utiliser cette propriété pour segmenter l'image de départ en superblocs homogènes.

La méthode débute par l'analyse du document binaire pseudo-gris FI_PSG. Ce dernier est divisé en blocs sans recouvrement de 8×8 pixels, et le nombre (y) de pixels noirs de chaque bloc comptabilisé. Ces nombres-résultats, compris entre 0 et 64 (blocs de 8×8 pixels binaires), sont repris dans un tableau. Ce dernier est la carte de l'occupation du document pseudo-gris. Chaque nombre représentant un bloc de 8×8 pixels, cela correspond à une résolution de 1 point par mm au niveau du document numérisé (8 pixels/mm) (Fig. 6.11-1).

L'application d'un seuil de décision sur les nombres mémorisés, délivre une "carte binaire d'occupation". Physiquement, cette décision indique si le bloc pseudo-gris considéré totalise plus de pixels noirs qu'un nombre minimum déterminé (Fig. 6.11-2) correspondant au type "Fond" du document.

Cette carte "binaire" est ensuite analysée (suivant une méthode de segmentation - Réf. 19), afin d'en retirer les coordonnées des superblocs : tout groupe de blocs connexes et positifs (décision "binaire" "1") forme un superbloc (Fig. 6.11-3).

Les coordonnées des superblocs binaires ainsi constitués sont reportées dans les documents pseudo-gris FI_PSG et binarisé FI_BIN, et localisent les superblocs pseudo-gris et binarisés correspondants. Pour chacun des superblocs pseudo-gris et binarisés, une décision de discernement Bin/Psg/Fond (identique à 6.4) est prise sur chaque sous-bloc de 16×16 pixels et une décision majoritaire retirée au niveau de chaque superbloc, suivant le plus grand nombre de décisions élémentaires de même type rencontrées (Fig. 6.11-4).

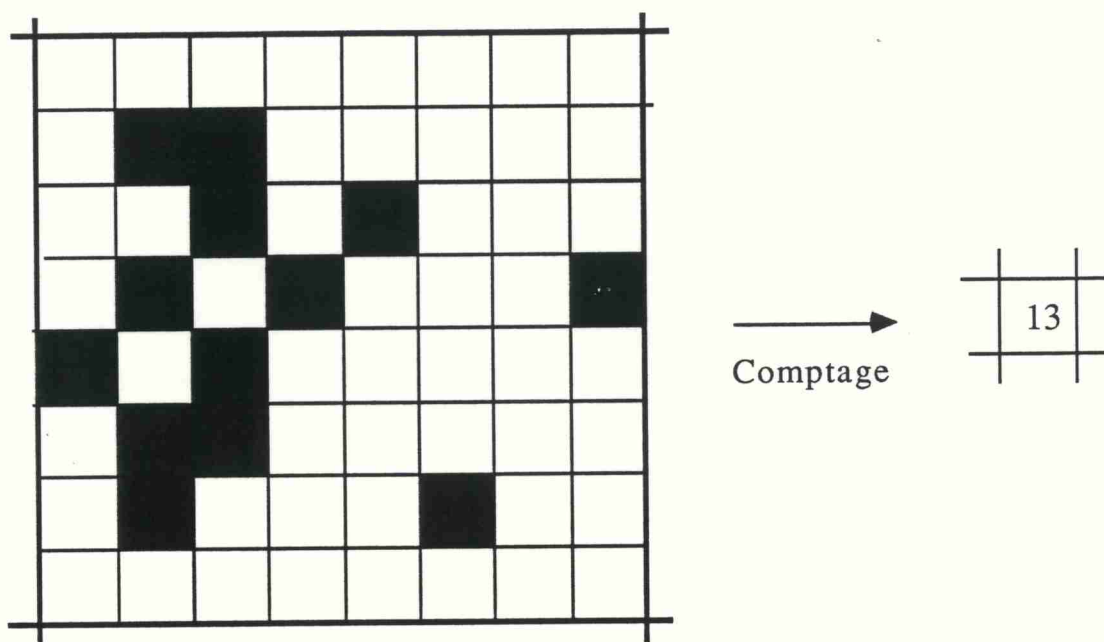


Figure 6.11-1

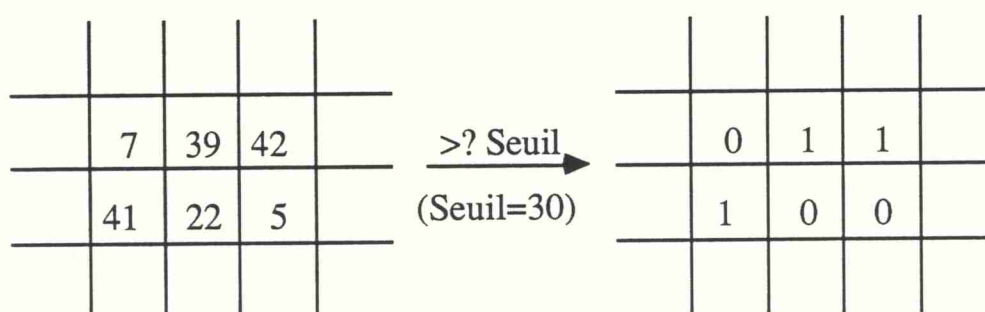


Figure 6.11-2

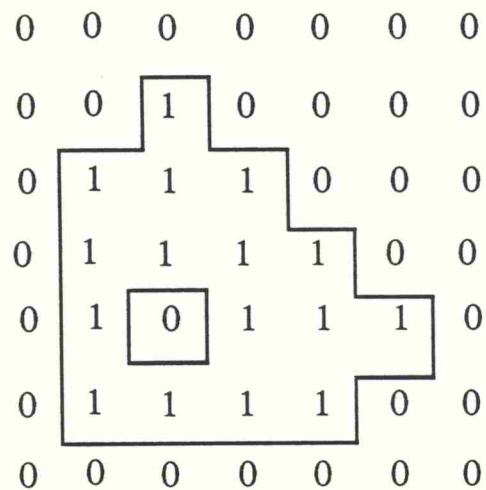


Figure 6.11-3

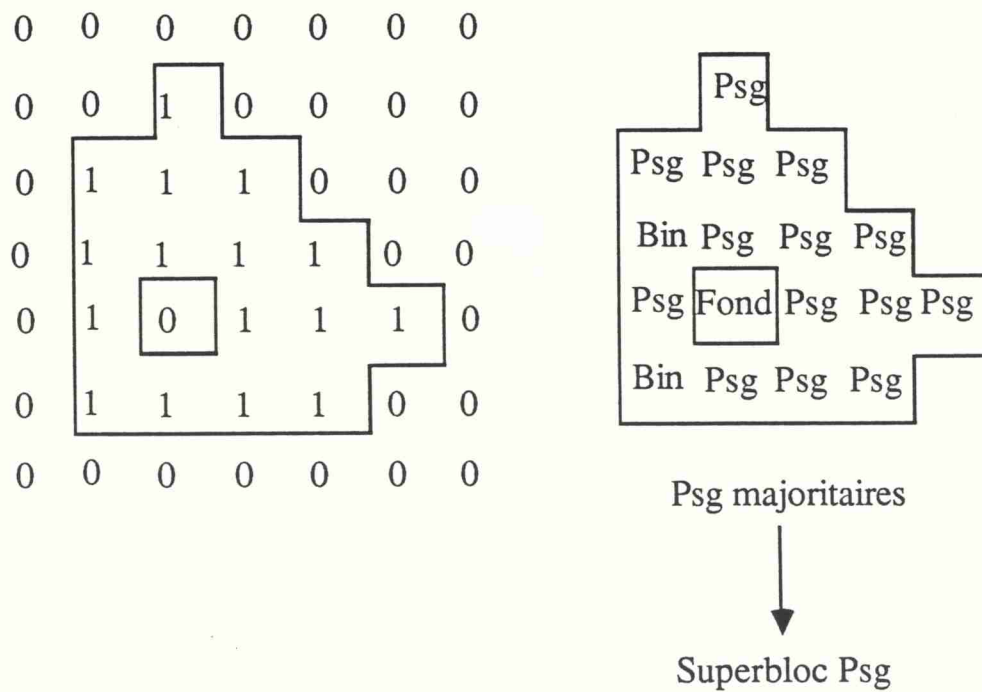


Figure 6.11-4

Les figures 6.11-5, 6, 7 et 8 montrent un document, ses versions binarisée FI_BIN et pseudo-grise FI_PSG, et le résultat de cette méthode : le blanc indique le fond du document, les hachures les zones de caractères/graphiques (Bin), les pointillés les zones de photographies (Psg) du document.

THROUGH THE VIEWFINDER

By EVERETT H. ORTNER



At last: automatic focusing

Flip the film-advance lever of the Konica C35AF camera, and you have not only advanced the film 38 mm and cocked the shutter—you have also moved the lens forward to its point of closest focus and wound up a spring that, at this moment, exists on no other camera on the market.

Released when you press the shutter-release button, the spring rotates a rangefinder mirror that simultaneously scans the scene at which the Konica is aimed and moves the lens backward. The movement halts when an electronic module built into the camera tells it that the lens is in focus. Only then, within the 100 milliseconds (1/10 second) that a full scan from nearest focus to infinity would take, does the shutter open to take the picture.

The device that makes this automatic-focusing system possible is the Visitronic Auto-Focus (VA/F) module, designed, manufactured, and marketed by Honeywell. It is the product of 10 years' work by Honeywell scientist Norman L. Stauffer and a small group of engineers. (Stauffer is also the man who, in 1964, invented the slide-projector auto-focus system that is still in use on several projectors, including the Kodak Carousel.)

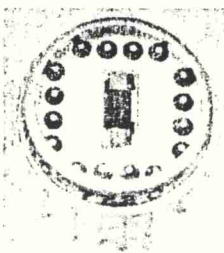
Two years ago Honeywell invited camera manufacturers to take a look—for an "advance-disclosure" fee of \$50,000—at its module. The \$50,000 bought technical information, technical support, some sample modules, and the right to buy still more modules from Honeywell. Thirteen manufacturers have now joined the program, reports Ron Brown, Honeywell's marketing manager. Four of them showed prototype auto-focusing units at Photokina, the German

photography exposition, last fall: three movie cameras (Eumig, Elmo, and Sanyo) and an SLR zoom lens (Asahi).

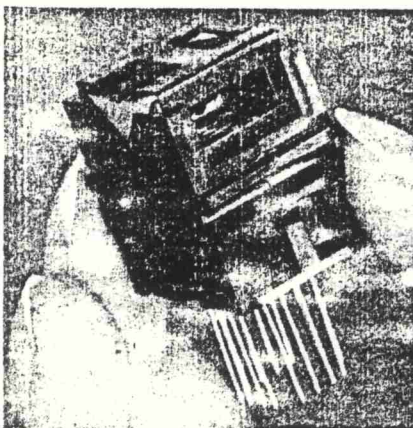
The dimensions of Honeywell's success can be gauged by the fact that although both Nikon [PS, Aug. '71] and Canon announced auto-focusing systems, neither got beyond prototypes. Konica deserves credit, too, for being first off the

starting line with a production camera. "That Visitronic system has been around for a long time," says Peter Ildau, vice president of Konica Camera Co., "but we're the first to put it in a camera." That took some doing. The camera hardware—a spring motor—is almost as ingenious as the auto-focusing module.

With the Visitronic system in the Konica C35AF, focusing is as simple and automatic as exposing the film with an auto-exposure system. When you advance the film, you rack the lens to its most forward position. When you press the shutter release, the spring motor racks the lens rearward until it is in



IC sensor (left), plugs into Auto-Focus module (below). Its two light-sensitive detectors can be seen in rectangular panel in center of sensor.



focus. It's probably nothing that will ever bother you, but you can't take a picture with the object in the center out of focus. There is no way to override the automatic focusing.

The auto-focus carries over into flash. With the Konica's built-in electronic flash up (in shooting position), the camera first focuses, then sets the lens aperture based on point of focus, then checks the focus, then fires. A pointer at the side of the lens, linked to it mechanically, shows if the focusing system is working. At top is a symbol of a mountain (infinity); at bottom, of a head (close-up).

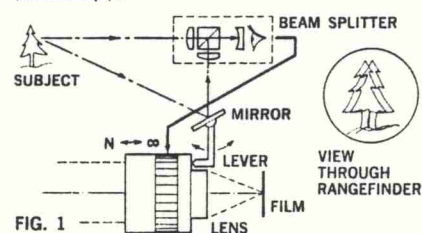


FIG. 1

To see how the Visitronic module does its job, look first at a conventional coincident-image rangefinder (Fig. 1). Its optical system produces two superimposed images of the subject as seen from slightly displaced points (windows in camera). When the mirror (and with it, typically in a modern camera, the lens) has been adjusted so that the two images are exactly superimposed, the lens is in focus.

Now suppose that instead of the elements in Fig. 1's dotted box (beam splitter and eye), you had an integrated circuit (IC) that could sense the matched-image relationship. Fig. 2 shows such an IC, 2.5 mm by 6 mm,

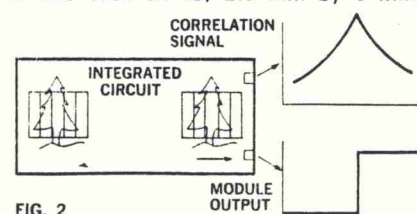


FIG. 2

with two light-sensitive detector areas. The IC compares the images that fall on the two detectors and produces an output voltage, called a correlation signal, that is greatest when the two images are most alike. Thus if one image were to move across the detector area (arrow), a correlation-signal peak would be reached the instant the images were in identical positions. At the same time, the IC would produce a step-function voltage change that, with external control circuitry, would control the position of the lens.

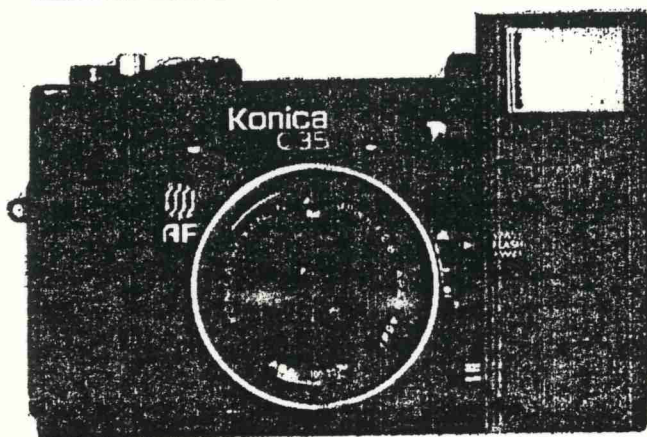
Fig. 3 shows, diagrammatically, the major elements of the Visitronic module: an optical system and the IC. Mirrors—one fixed, one moving—outside the module form the optical base of the rangefinder system. (The farther apart, the more accurate the system.) The prism in the module directs the two images through plastic lenses to the IC's light detectors.

In Fig. 4, we've got it all together: module, mirror system, and subject. The

Continued

THROUGH THE VIEWFINDER

By EVERETT H. ORTNER



At last: automatic focusing

Flip the film-advance lever of the Konica C35AF camera, and you have not only advanced the film 38 mm and cocked the shutter—you have also moved the lens forward to its point of closest focus and wound up a spring that, at this moment, exists on no other camera on the market.

Released when you press the shutter-release button, the spring rotates a rangefinder mirror that simultaneously scans the scene at which the Konica is aimed and moves the lens backward. The movement halts when an electronic module built into the camera tells it that the lens is in focus. Only then, within the 100 milliseconds (1/10 second) that a full scan from nearest focus to infinity would take, does the shutter open to take the picture.

The device that makes this automatic-focusing system possible is the Visitronic Auto-Focus (VA/F) module, designed, manufactured, and marketed by Honeywell. It is the product of 10 years' work by Honeywell scientist Norman L. Stauffer and a small group of engineers. (Stauffer is also the man who, in 1964, invented the slide-projector auto-focus system that is still in use on several projectors, including the Kodak Carousel.)

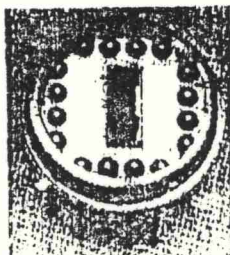
Two years ago Honeywell invited camera manufacturers to take a look—for an "advance-disclosure" fee of \$50,000—at its module. The \$50,000 bought technical information, technical support, some sample modules, and the right to buy still more modules from Honeywell. Thirteen manufacturers have now joined the program, reports Ron Brown, Honeywell's marketing manager. Four of them showed prototype auto-focusing units at Photokina, the German

photography exposition, last fall: three movie cameras (Eumig, Elmo, and Sanyo) and an SLR zoom lens (Asahi).

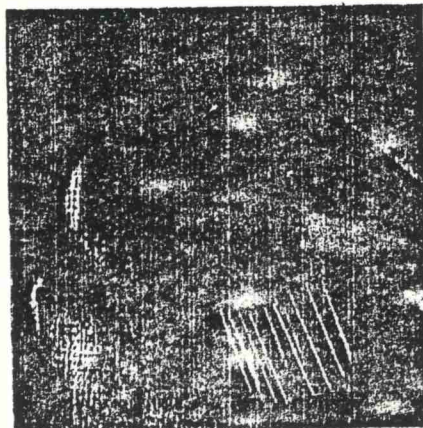
The dimensions of Honeywell's success can be gauged by the fact that although both Nikon [PS, Aug. '71] and Canon announced auto-focusing systems, neither got beyond prototypes. Konica deserves credit, too, for being first off the

starting line with a production camera. "That Visitronic system has been around for a long time," says Peter Ildau, vice president of Konica Camera Co., "but we're the first to put it in a camera." That took some doing. The camera hardware—a spring motor—is almost as ingenious as the auto-focusing module.

With the Visitronic system in the Konica C35AF, focusing is as simple and automatic as exposing the film with an auto-exposure system. When you advance the film, you rack the lens to its most forward position. When you press the shutter release, the spring motor racks the lens rearward until it is in



IC sensor (left) plugs into Auto-Focus module (below). Its two light-sensitive detectors can be seen in rectangular panel in center of sensor.



focus. It's probably nothing that will ever bother you, but you can't take a picture with the object in the center out of focus. There is no way to override the automatic focusing.

The auto-focus carries over into flash. With the Konica's built-in electronic flash up (in shooting position), the camera first focuses, then sets the lens aperture based on point of focus, then checks the focus, then fires. A pointer at the side of the lens, linked to it mechanically, shows if the focusing system is working. At top is a symbol of a mountain (infinity); at bottom, of a head (close-up).

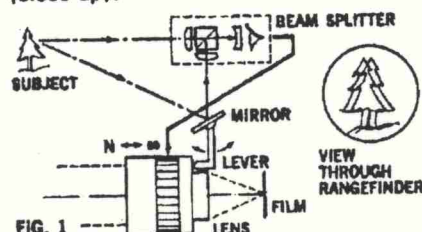


FIG. 1

To see how the Visitronic module does its job, look first at a conventional coincident-image rangefinder (Fig. 1). Its optical system produces two superimposed images of the subject as seen from slightly displaced points (windows in camera). When the mirror (and with it, typically in a modern camera, the lens) has been adjusted so that the two images are exactly superimposed, the lens is in focus.

Now suppose that instead of the elements in Fig. 1's dotted box (beam splitter and eye), you had an integrated circuit (IC) that could sense the matched-image relationship. Fig. 2 shows such an IC, 2.5 mm by 6 mm,

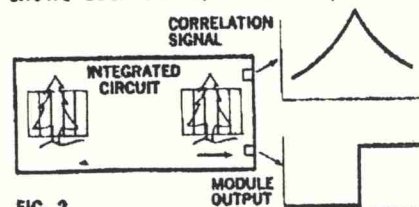


FIG. 2

with two light-sensitive detector areas. The IC compares the images that fall on the two detectors and produces an output voltage, called a correlation signal, that is greatest when the two images are most alike. Thus if one image were to move across the detector area (arrow), a correlation-signal peak would be reached the instant the images were in identical positions. At the same time, the IC would produce a step-function voltage change that, with external control circuitry, would control the position of the lens.

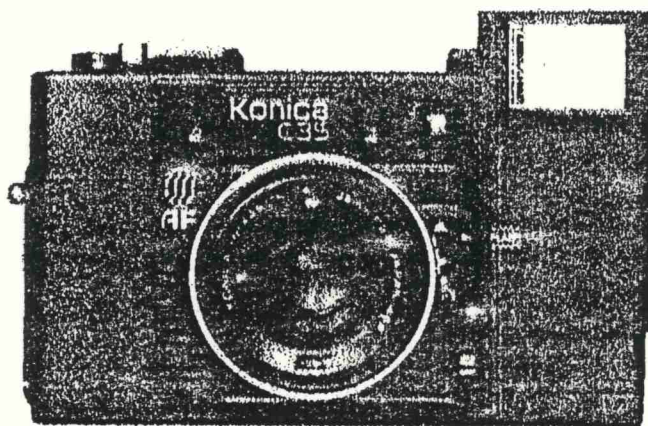
Fig. 3 shows, diagrammatically, the major elements of the Visitronic module: an optical system and the IC. Mirrors—one fixed, one moving—outside the module form the optical base of the rangefinder system. (The farther apart, the more accurate the system.) The prism in the module directs the two images through plastic lenses to the IC's light detectors.

In Fig. 4, we've got it all together: module, mirror system, and subject. The

Continued

THROUGH THE VIEWFINDER

By EVERETT H. ORTNER



At last: automatic focusing

Flip the film-advance lever of the Konica C35AF camera, and you have not only advanced the film 38 mm and cocked the shutter—you have also moved the lens forward to its point of closest focus and wound up a spring that, at this moment, exists on no other camera on the market.

Released when you press the shutter-release button, the spring rotates a rangefinder mirror that simultaneously scans the scene at which the Konica is aimed and moves the lens backward. The movement halts when an electronic module built into the camera tells it that the lens is in focus. Only then, within the 100 milliseconds (1/10 second) that a full scan from nearest focus to infinity would take, does the shutter open to take the picture.

The device that makes this automatic-focusing system possible is the Visitronic Auto-Focus (VA/F) module, designed, manufactured, and marketed by Honeywell. It is the product of 10 years' work by Honeywell scientist Norman L. Stauffer and a small group of engineers. (Stauffer is also the man who, in 1964, invented the slide-projector auto-focus system that is still in use on several projectors, including the Kodak Carousel.)

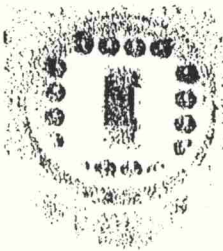
Two years ago Honeywell invited camera manufacturers to take a look for an "advance-disclosure" fee of \$50,000—at its module. The \$50,000 bought technical information, technical support, some sample modules, and the right to buy still more modules from Honeywell. Thirteen manufacturers have now joined the program, reports Ron Brown, Honeywell's marketing manager. Four of them showed prototype auto-focusing units at Photokina, the German

photography exposition, last fall: three movie cameras (Eumig, Elmo, and Sanyo) and an SLR zoom lens (Asahi).

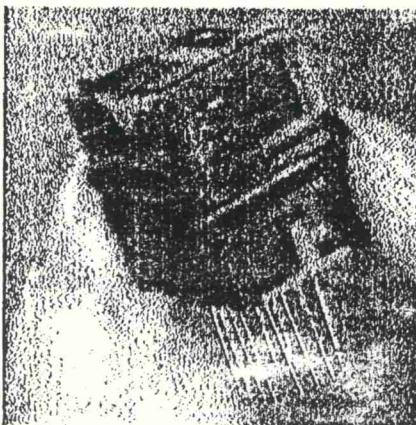
The dimensions of Honeywell's success can be gauged by the fact that although both Nikon [PS, Aug. '71] and Canon announced auto-focusing systems, neither got beyond prototypes. Konica deserves credit, too, for being first off the

starting line with a production camera. "That Visitronic system has been around for a long time," says Peter Ildau, vice president of Konica Camera Co., "but we're the first to put it in a camera." That took some doing. The camera hardware—a spring motor—is almost as ingenious as the auto-focusing module.

With the Visitronic system in the Konica C35AF, focusing is as simple and automatic as exposing the film with an auto-exposure system. When you advance the film, you rack the lens to its most forward position. When you press the shutter release, the spring motor racks the lens rearward until it is in



IC sensor (left), plugs into Auto-Focus module (below). Its two light-sensitive detectors can be seen in rectangular panel in center of sensor.



focus. It's probably nothing that will ever bother you, but you can't take a picture with the object in the center out of focus. There is no way to override the automatic focusing.

The auto-focus carries over into flash. With the Konica's built-in electronic flash up (in shooting position), the camera first focuses, then sets the lens aperture based on point of focus, then checks the focus, then fires. A pointer at the side of the lens, linked to it mechanically, shows if the focusing system is working. At top is a symbol of a mountain (infinity); at bottom, of a head (close-up).

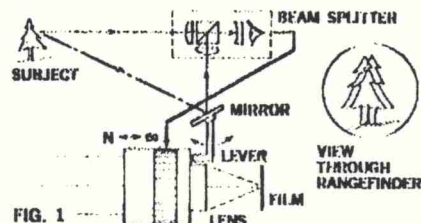


FIG. 1

To see how the Visitronic module does its job, look first at a conventional coincident-image rangefinder (Fig. 1). Its optical system produces two superimposed images of the subject as seen from slightly displaced points (windows in camera). When the mirror (and with it, typically in a modern camera, the lens) has been adjusted so that the two images are exactly superimposed, the lens is in focus.

Now suppose that instead of the elements in Fig. 1's dotted box (beam splitter and eye), you had an integrated circuit (IC) that could sense the matched-image relationship. Fig. 2 shows such an IC, 2.5 mm by 8 mm,

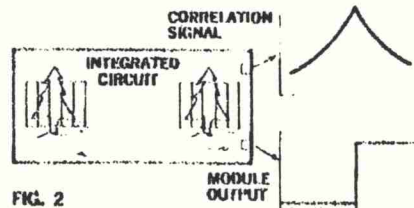


FIG. 2

with two light-sensitive detector areas. The IC compares the images that fall on the two detectors and produces an output voltage, called a correlation signal, that is greatest when the two images are most alike. Thus if one image were to move across the detector area (arrow), a correlation-signal peak would be reached the instant the images were in identical positions. At the same time, the IC would produce a step-function voltage change that, with external control circuitry, would control the position of the lens.

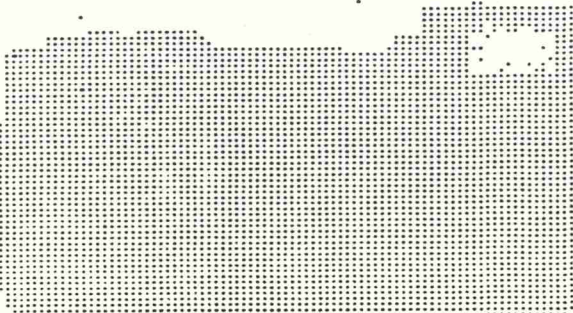
Fig. 3 shows, diagrammatically, the major elements of the Visitronic module: an optical system and the IC. Mirrors—one fixed, one moving—outside the module form the optical base of the rangefinder system. (The farther apart, the more accurate the system.) The prism in the module directs the two images through plastic lenses to the IC's light detectors.

In Fig. 4, we've got it all together: module, mirror system, and subject. The

Continued

THE WORLD

THE WORLD



THE WORLD

THE WORLD

THE WORLD

THE WORLD

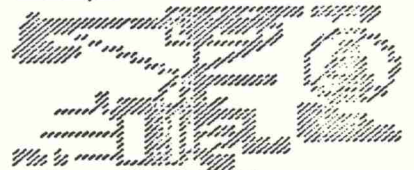
THE WORLD

THE WORLD

THE WORLD

THE WORLD

THE WORLD



THE WORLD



THE WORLD

THE WORLD

/// Caractères et graphiques

::: Photographies

Figure 6.11-8

Seules les zones déclarées Bin devront être traitées par le système de segmentation et de reconnaissance des caractères.

Dans la pratique, il est souvent impossible d'appliquer en une seule fois la fonction de discernement sur la hauteur totale d'un superbloc. On est alors contraint de segmenter la zone sur ses limites gauche, droite et supérieure uniquement, de discriminer par la méthode décrite ci-dessus et garder la décision majoritaire correspondante en mémoire. Par la suite, la partie inférieure du superbloc est discriminée en tenant compte de la décision de discrimination prise sur le bloc supérieur.

6.12. RESULTATS DE LA SEGMENTATION EN SUPERBLOCS

La figure 6.11-8 est éloquent : l'application de la discrimination à partir des superblocs donne une différenciation excellente, tout en n'accroissant pas de beaucoup le nombre d'opérations arithmétiques nécessaires (un comptage 0 -> 64 et une comparaison avec un seuil pour chacun des blocs de $8 * 8$ pixels).

6.13. MATERIALISATION DE LA METHODE

La fonction de discernement par superblocs peut être effectuées par le microprocesseur MC68000 en collaboration avec le système de segmentation (DAN).

Les transformations binaires terminées, le processeur de transformation binaire GIAN stocke les deux images binaires résultats en mémoire et signale leur présence au microprocesseur MC 68000. Ce dernier, en collaboration avec le système de segmentation, entame la procédure de différenciation par superblocs et, celle-ci finie, transmet les coordonnées des superblocs Bin au module de segmentation et stocke séparément les blocs Psg.

CONCLUSIONS.

Le but de cette première partie du travail a été la définition d'algorithmes de transformations binaires aptes à traiter des documents complets, c'est-à-dire contenant des caractères, des graphiques et des photographies.

La méthode proposée repose sur une double transformation binaire (binarisation et transformation en pseudo-gris) du document original numérisé, suivie d'une phase de différenciation binarisé (Bin) / pseudo-gris (Psg) / fond (Fond). La reconnaissance des caractères est effectuée, après segmentation, sur les zones Bin.

Les algorithmes étudiés l'ont été dans une optique d'intégration. L'"algotronique" (étude d'algorithmes appliqués à l'intégration) a conduit à la définition d'algorithmes ne nécessitant que des opérations élémentaires : addition, soustraction, mémorisation, ... On y reviendra plus longuement dans la seconde partie du travail qui présentera la matérialisation du circuit intégré spécifique réalisant les algorithmes étudiés.

PARTIE B

LE CIRCUIT INTEGRE

INTRODUCTION

L'objet de cette partie B est la présentation de la matérialisation d'un système (comprenant un circuit intégré spécifique) appelé Système de Transformation Binaire, apte à exécuter les algorithmes présentés dans la première partie, c'est-à-dire :

- une binarisation avec seuil adapté, gradient et hystérèse,
- une binarisation basée sur le Laplacien et avec hystérèse adaptées,
- une transformation en demi-teintes.

Le Système de Transformation Binaire, se comporte comme une machine de GLUSHKOV (Réf.28) (Fig. I-1). Il comprend une partie opérative et une partie de contrôle.

L'unité de contrôle exécute un programme stocké dans une EPROM, ce qui garantit la programmabilité du système. Un séquenceur (AM2910) assure la gestion du programme, génère les commandes pour l'unité de traitement et tient compte des résultats de tests, ... (Structure de Wielkes) (Fig. I-2) (Réf. 28).

L'unité de traitement est matérialisée sous la forme d'un circuit intégré. Celui-ci, appelé IMP (IMage Processor), contient un ensemble de registres permettant la mémorisation de grandeurs (données, résultats intermédiaires ou finaux, ...), un ensemble de ressources de calcul (additionneur/soustracteur, incrémenteur/décrémenteur, comparateur,...), un réseau de connexions contrôlé permettant de mettre en rapport les registres et les ressources de calcul via un bus (structure de bus) (Ref. 28),...

L'unité de traitement aurait pu être matérialisée à partir de circuits classiques du commerce : cette solution, coûteuse en nombre de circuits, en place et en puissance consommée, n'est pas compatible avec les buts fixés (simplicité, compacité, faible coût et encombrement minimum).

Le premier chapitre de cette partie sera consacré à la présentation générale de l'environnement de travail du Système de Transformation Binaire.

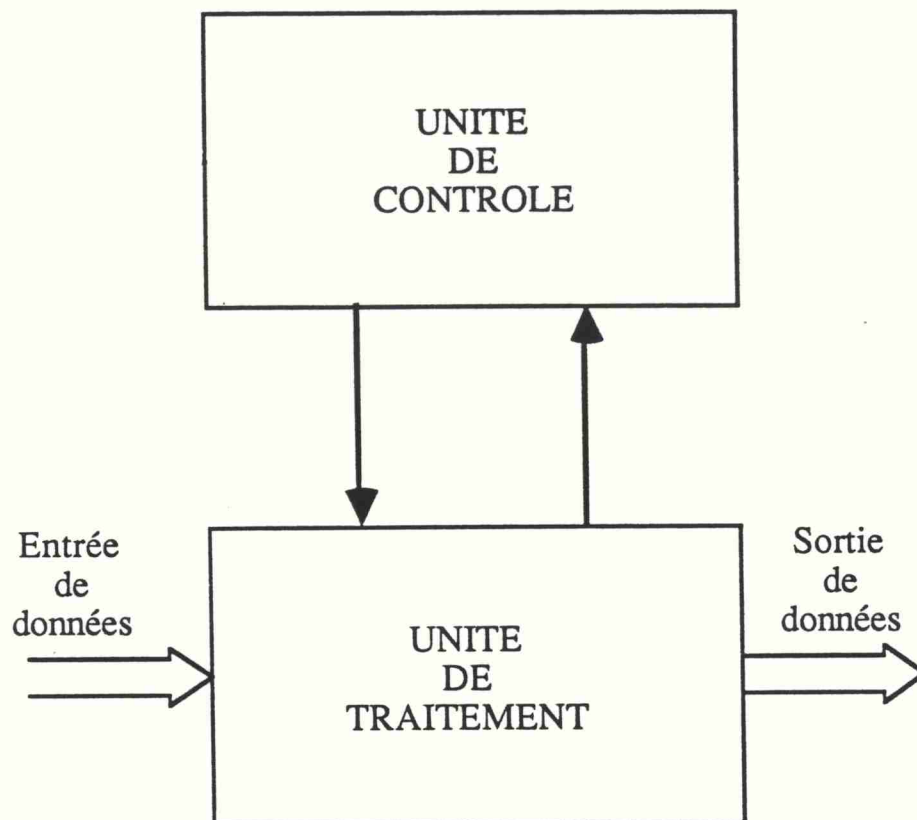


Figure I-1

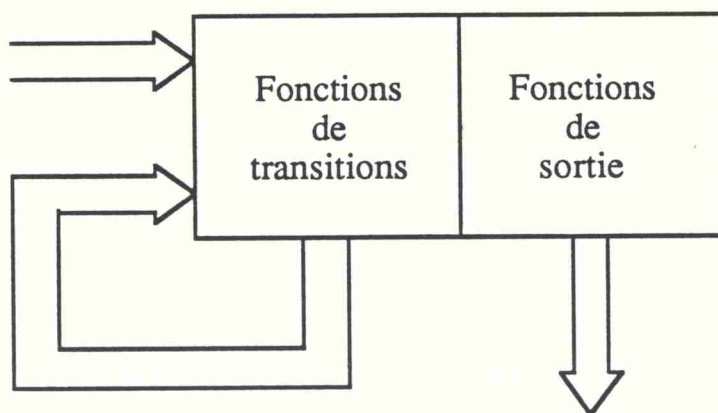


Figure I-2

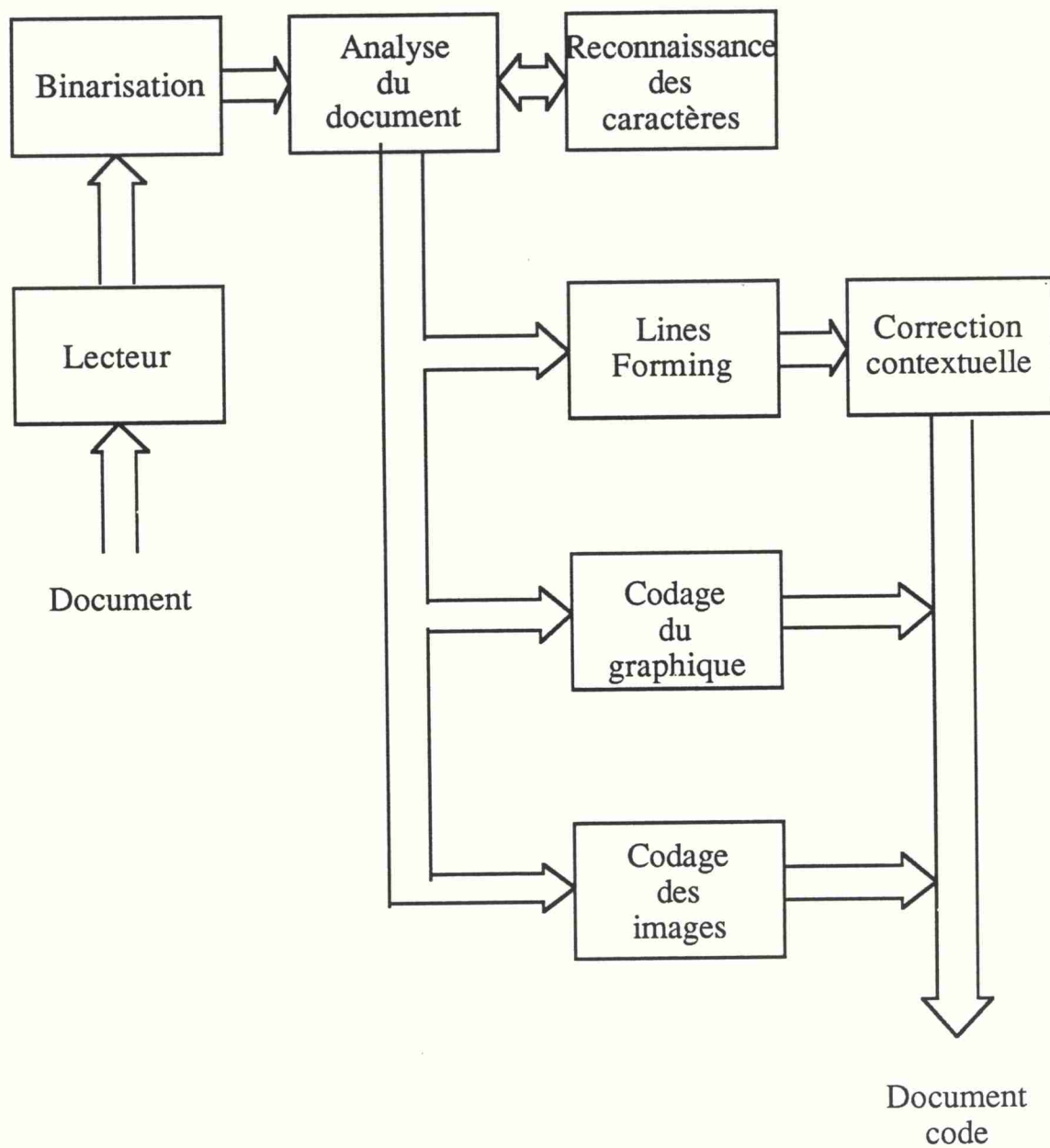
CHAPITRE 1

CONTEXTE DU SYSTEME DE TRANSFORMATION BINAIRE.

Le lecteur de documents, développé au Laboratoire de Microélectronique, est composé de quatre sous-ensembles indépendants, disposés sur des cartes séparées :

- le processeur de transformation binaire GIAN (Grey Image ANalysis) contenant le circuit intégré spécifique IMP (IMage Processor). La description de cette carte et du circuit intégré font l'objet de cette seconde partie du travail
- le processeur de segmentation de pages DAN (Document ANalysis) bâti autour du circuit intégré (Ref. 19)
- le processeur de reconnaissance des caractères STAN (STructure ANalysis) comprenant le circuit intégré du même nom (Réf. 18)
- un processeur 68000 et ses périphériques. Il contrôle les échanges de données effectués entre les sous-ensembles et met sa puissance de calcul à la disposition des processeurs spécialisés lors des étapes de discrimination, de segmentation, de reconnaissance et de reconstruction des lignes de texte.

La position du Système de Transformation Binaire GIAN dans la chaîne O.C.R. (Fig. 1-1) implique l'existence d'un protocole de communication avec les systèmes en amont (Lecteur) et en aval (Segmentation et Reconnaissance) au niveau des commandes et des transferts de données.



Le Lecteur de Documents
Figure 1-1

La procédure très simplifiée décrite a pour seul but la présentation des principales interactivités existantes entre les trois modules : lecteur, GIAN et DAN (Fig. 1-2).

Deux mémoires assurent l'échange des données entre :

- + le module du lecteur optique et la carte GIAN : buffer d'entrée ;
- + les processeurs GIAN et DAN : buffer de sortie.

Ces deux mémoires peuvent contenir chacune une ou plusieurs lignes de 1728 pixels sous une forme grise ou binaire.

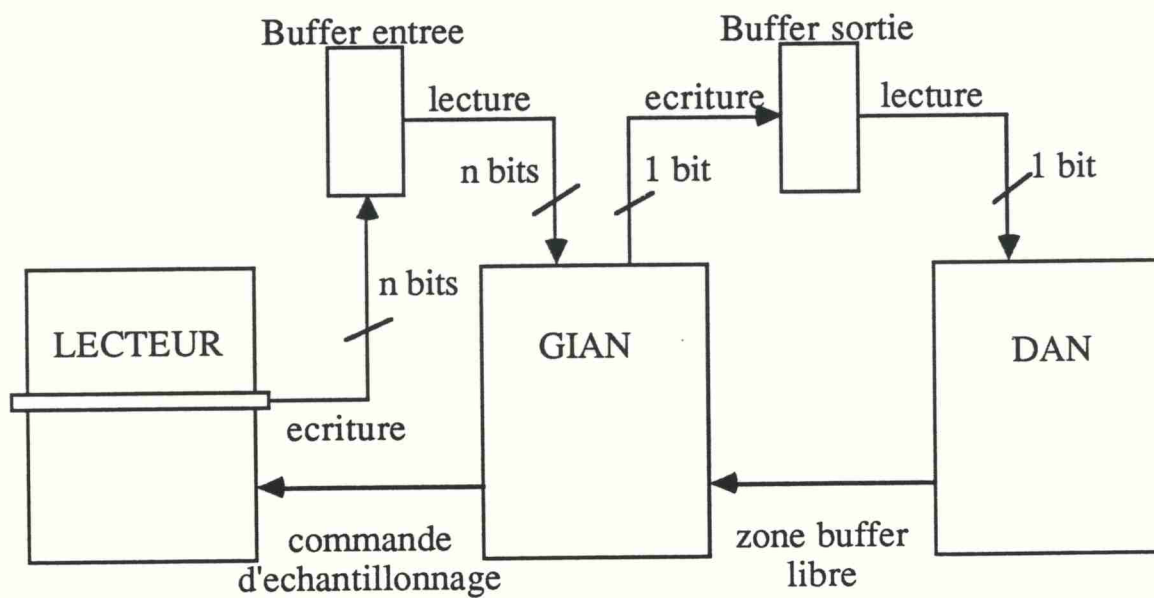
Le buffer de sortie constitue la mémoire disponible pour le transfert de données binaires (binarisées et pseudo-grises). Supposons ce buffer rempli : la segmentation s'effectue sur les lignes mémorisées. Lorsqu'une zone du buffer est libérée, le Système de Segmentation (DAN) signale au Système de Transformation Binaire (GIAN) une disponibilité en mémoire et y autorise l'écriture de données. Le processeur GIAN doit alors effectuer les tâches suivantes :

- commander l'avance du document dans le lecteur et l'échantillonnage de nouvelles lignes,
- réceptionner les lignes numérisées,
- exécuter les algorithmes de transformation binaire,
- charger les résultats binaires dans le buffer.

Ces tâches sont accomplies par le processeur GIAN tant que l'autorisation lui en est donnée par la carte DAN, sinon il exécute une boucle d'attente.

Le Système de Transformation Binaire GIAN peut être ramené à une structure de GLUSHKOV dans laquelle la partie opérative est principalement composée du circuit intégré IMP et des mémoires d'entrée et de sortie (Fig. 1-3).

La suite de ce travail présentera l'unité opérative (chapitre 2), le circuit intégré spécifique IMP (chapitres 3, 4 et 5) et la matérialisation de la carte GIAN (chapitre 6).



Interactivités des différents modules
du Lecteur de Documents
Figure 1-2

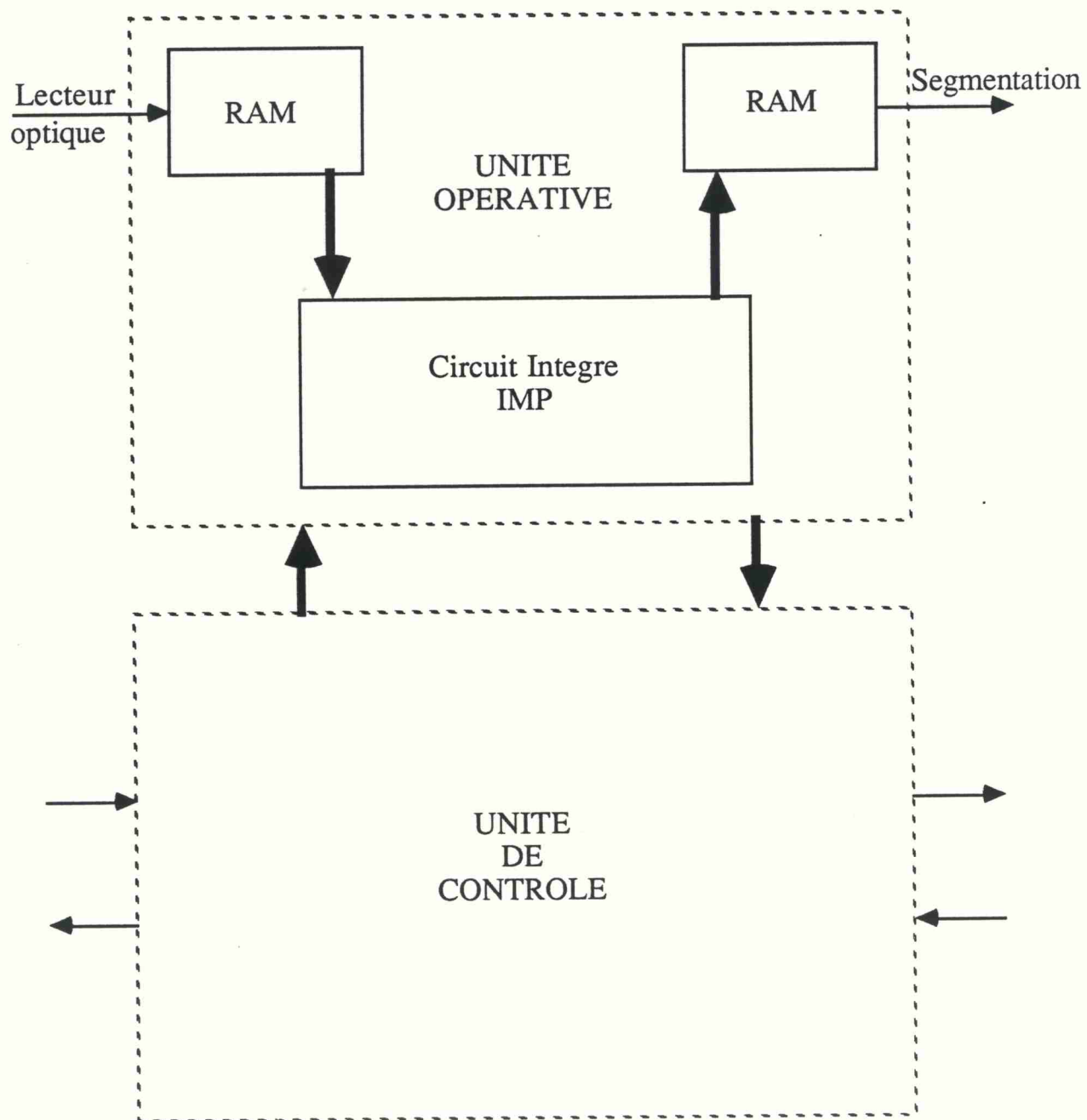


Figure 1-3

CHAPITRE 2

L'UNITE OPERATIVE.

2.1. INTRODUCTION

La vitesse de traitement du Système de Transformation Binaire tient essentiellement de son unité opérative. En effet, c'est elle qui va réceptionner les données venant du lecteur optique, effectuer les opérations sur ces données suivant les algorithmes exécutés et transmettre les résultats au Système de Segmentation. Les performances dépendront donc du soin avec lequel la partie opérative a été matérialisée.

2.2. CARACTERISTIQUES FONDAMENTALES

La spécificité des applications OCR envisagées impose les fondements suivants :

- + le système conçu doit pouvoir traiter les documents conformément aux recommandations du CCITT pour la résolution du groupe IV (16 pixels par mm de résolution, ce qui donne 3456 pixels par ligne A4). La place en mémoire nécessaire pour stocker une ligne grise est d'environ 4 kBytes, si l'on suppose chaque pixel numérisé sur un maximum de 8 bits. En outre, deux mémoires de type binaire doivent être disponibles afin d'y stocker les résultats de la binarisation et de la transformation en pseudo-gris d'une ligne grise. Ces deux mémoires sont de 4 kBits chacune par ligne binaire
- + l'exécution d'algorithmes, comme la binarisation par Laplacien, exige la mémorisation d'un certain nombre de lignes grises du document. Ce nombre est fonction de la taille de la fenêtre de travail (3*3, 5*5, ...)
- + l'adressage des mémoires est effectué par le circuit intégré lui-même : son champ maximal d'adressage est de 16 bits (64 k), ce qui est amplement suffisant pour les applications envisagées.

2.3. ARCHITECTURE GENERALE DE LA PARTIE OPERATIVE

La partie opérative peut être scindée en deux parties bien distinctes, l'unité de traitement (le circuit intégré IMP) et des mémoires RAM.

L'architecture de l'unité opérative s'articule autour de trois bus desservant l'unité de traitement IMP et les mémoires RAM :

- un bus unidirectionnel d'adressage (16 bits ou 2×8 bits) ;
- un bus bidirectionnel de données grises (8 bits) ;
- un bus unidirectionnel de données binaires (1 bit).

L'adressage d'un point mémoire se déroule de la manière suivante : le circuit intégré génère l'adresse du point mémoire désiré (cette adresse est commune aux trois mémoires) et l'unité de contrôle sélectionne la mémoire RAM désirée (grise ou binaires), ainsi que le mode Ecriture ou Lecture. En mode Ecriture, le flux de données peut provenir :

- du circuit intégré : stockage de résultats intermédiaires ;
- du lecteur optique : entrée d'une nouvelle ligne.

L'accès au bus de données est soumis aux directives de l'unité de contrôle suivant le protocole de communication et de transfert de données avec les systèmes en amont (lecteur optique) et en aval (DAN).

La figure 2.3-1 montre le schéma général de la partie opérative.

Le chapitre suivant décrira la conception architecturale de l'unité de traitement : le circuit intégré IMP.

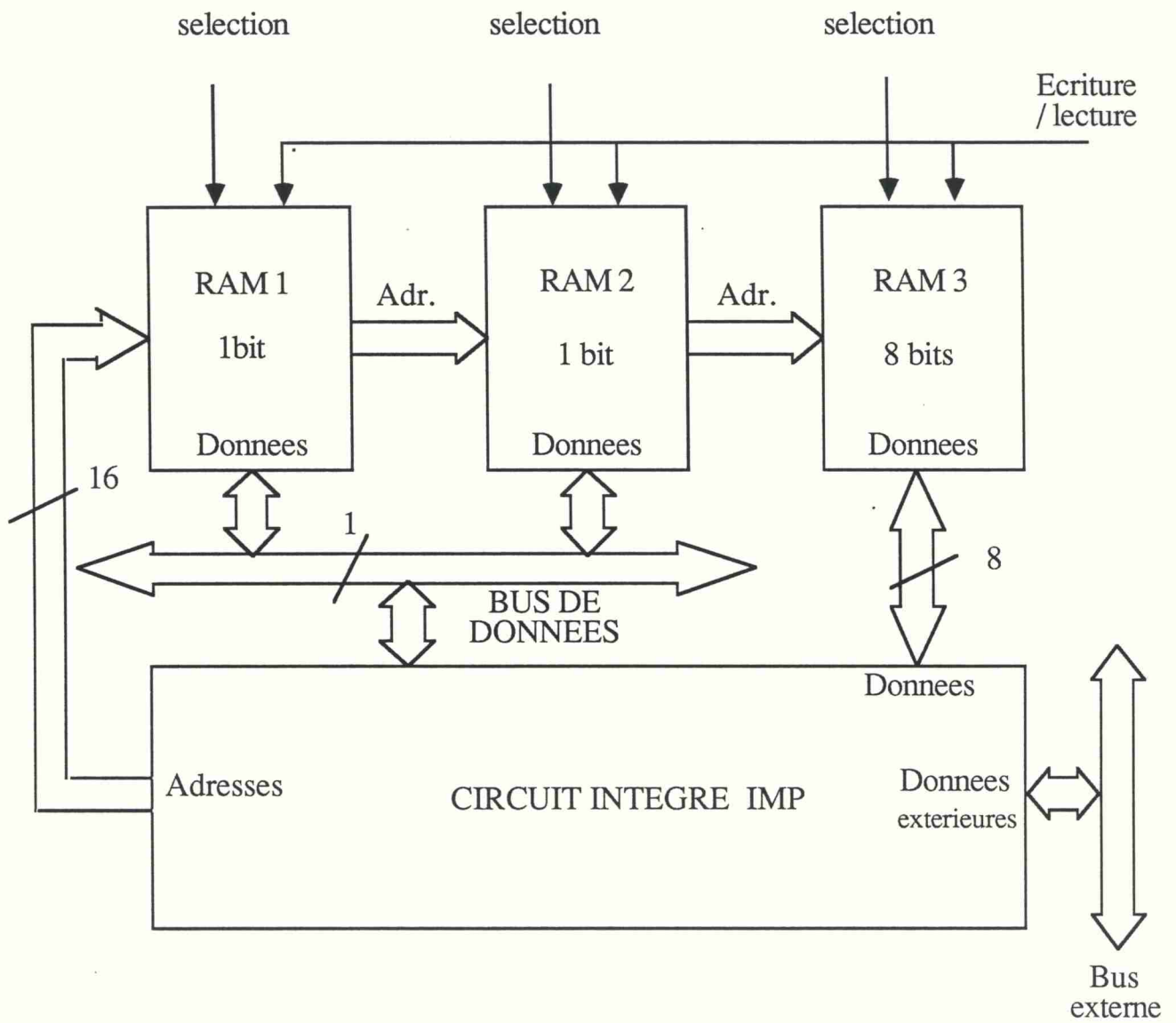


Figure 2.3-1

CHAPITRE 3

L'UNITE DE TRAITEMENT : LE CIRCUIT INTEGRE IMP.

3.1. PRESENTATION GENERALE

3.1.1. Introduction

Le circuit intégré, présenté dans ce chapitre, est le fruit d'une longue collaboration avec P. De Muelenaere. Les architectures initialement projetées des circuits spécifiques destinés aux applications de transformations binaires d'une part, et de reconnaissance des Caractères d'autre part, étant très proches l'une de l'autre, P. De Muelenaere et moi-même avons décidé d'unir nos efforts afin de développer un même circuit.

L'architecture retenue est décrite ci-dessous. Précisons cependant que le circuit intégré résultant contient les ressources complètes demandées par chacune des mises en oeuvre souhaitées (transformations binaires et reconnaissance des Caractères) : adressage étendu, entrée/sortie de données grises (8 bits), ...

Le circuit possède une unité appelée "Unité de Fonctions Spéciales" qui est programmée suivant l'application désirée : le circuit est alors appelé IMP (IMage Processing) pour les transformations binaires, et STAN (STructural ANalysis) pour les traitements d'images binaires et l'extraction de primitives (Réf. 18, 20).

Ce chapitre, consacré à la conception du circuit STAN-IMP, est, hormis le paragraphe 3.1.2, d'inspiration commune avec P. De Muelenaere.

Le circuit STAN-IMP comporte 13000 transistors. Il a été fabriqué dans une technologie NMOS 6 microns, et sa surface est de $3.9 \times 7 \text{ mm}^2$. Le boîtier utilisé possède 40 contacts et le circuit consomme 300 mW à 2 MHz. La philosophie de conception de ce circuit est très semblable à celle du circuit SEG (Réf. 19) et de nombreuses cellules sont communes aux deux circuits.

3.1.2. "L'algotronique"

"ALGOTRONIQUE", mot formé de "ALGO" pour algorithme et de "TRONIQUE" pour électronique, exprime les liens indispensables devant exister entre les algorithmes et leurs matérialisations.

Les spécificités de ces liens sont :

- les algorithmes à matérialiser sur silicium doivent être conçus de telle sorte qu'ils puissent être décomposés en fonctions simples intégrables ;
- les performances d'exécution des circuits intégrés dépendent de la complexité des algorithmes intégrés et de celle des fonctions simples les décrivant.

Les algorithmes, présentés dans la première partie du présent ouvrage, ont été développés suivant la philosophie de l'algotronique. Une attention toute particulière a été portée à l'élaboration d'algorithmes performants combinés à une facilité d'intégration.

On peut citer :

- algorithmes de Binarisation :
 - + opérations simples : addition, soustraction, multiplication par 2, comparaison, ...
 - + choix des poids attribués aux pixels du voisinage dans l'algorithme avec Laplacien : multiples de 2.
- algorithme de Transformation en pseudo-gris :
 - + choix de la méthode "Ordered Dither" : cellule de base carrée (adressage aisé)
 - + opérations simples : addition, soustraction, comparaison, ...
- fonction de dilatation $A * B / (2^n - 1)$:
 - + possibilité d'approximer $(2^n - 1)$ par 2^n . L'erreur commise devient négligeable pour n grand ($n = 6 \dots 8$). La division par 2^n est facilement intégrable sous forme d'un barrel - shifter (n programmable) ou d'un routage fixe (n déterminé).

3.1.3. Décomposition des algorithmes en opérations fondamentales

Les trois algorithmes à implanter sont les suivants :

Binarisation avec seuil adapté, gradient et hystérèse :

$$2 * X_{i,j} - X_{i,j-1} > ? \text{ THR}$$

Avec $\text{THR} = \text{seuil} * (\text{MOYN} - \text{MOYB}) / (2^n - 1) + \text{MOYB}$ (Cfr. A.4.3.5)

Binarisation basée sur le Laplacien et avec hystérèses :

$$M_{i,j} - X_{i,j} > ? \text{ Kh}$$

Avec $\text{Kh} = (-\text{HBN} \text{ ou } +\text{HNB}) * (\text{MOYN} - \text{MOYB}) / (2^n - 1)$ (Cfr. A.4.4.5)

Transformation en demi-teintes :

$$X_{i,j} - \text{MOYB} > ? \text{ Cm, n'}$$

Avec $\text{Cm, n'} = \text{Cm, n} * (\text{MOYN} - \text{MOYB}) / (2^n - 1)$ (Cfr. A.5.4)

De l'analyse et de la comparaison de la formulation des trois algorithmes, on tire les conclusions suivantes :

- de nombreux appels de pixels sont nécessaires : $X_{i,j}$ $M_{i,j}$...

Un système d'adressage, performant et souple, doit être intégré, permettant un adressage facile d'un pixel et de son entourage proche (fenêtre 3*3) ou lointain (5*5, 7*7).

- beaucoup d'additions / soustractions sont effectuées

Un additionneur / soustracteur travaillant sur des nombres de 8 bits en complément à 2 est la base de l'unité opérative du circuit.

- la décision est le résultat d'une comparaison : $a > ? b$

Cette dernière est réduite à une soustraction des deux termes à comparer. Le bit de signe du résultat de la soustraction donne la décision :

$$1 : a - b \leq 0$$

$$0 : a - b > 0$$

L'additionneur / soustracteur, déjà mentionné, réalisera la soustraction, et son bit de signe communiqué.

- une même opération spéciale se retrouve : $a * b / (2^n - 1)$

La solution retenue est un PLA programmé qui réalise cette fonction. Cette solution PLA sera explicitée au chapitre B.6 : "Programmation du PLA interne au CI".

3.2. CHOIX DES FONCTIONS A INTEGRER

Pour le développement d'un circuit intégré, on sera toujours limité par une complexité maximale admissible qui dépendra principalement de la technologie utilisée. D'autres facteurs comme le type d'architecture utilisé ou le temps de conception peuvent aussi intervenir. D'un autre point de vue, une machine logique peut être considérée comme un compromis entre deux extrêmes qui sont une machine très séquentialisée et une version parallèle de la même machine. Si l'on séquentialise fortement, on facilite en général la réalisation matérielle, et on augmente la souplesse de programmation (l'architecture est propice à l'exécution d'une grande variété d'algorithmes) au détriment de la vitesse d'exécution. Pour une machine parallèle, la programmation sera souvent plus délicate et le matériel mis en oeuvre plus coûteux en surface.

Dans le cas du circuit IMP, nous considérons que nous ne sommes pas loin de la complexité maximale acceptable pour la technologie NMOS 6 microns utilisée. La taille du circuit, déjà respectable, constitue le maximum pouvant être réalisé à partir du système de génération de masques GYREX utilisé au Laboratoire de Microélectronique pour ce développement. C'est pourquoi certaines astuces de conception ont été utilisées pour ne pas dépasser cette taille.

Nous avons intégré les fonctions les plus pénalisantes :

- une unité de calcul d'adresses (UAD)
- une unité de calcul arithmétique (UCA),
- une unité de fonctions spéciales (UFS) qui, suivant la programmation de son PLA, est spécialisée dans
 - l'analyse d'image (version STAN)
 - les transformations binaires (version IMP).

Cette architecture a été étudiée pour supporter les routines de transformations binaires effectuées sur des pages grises par le circuit intégré IMP, dans la mesure où le pourcentage d'utilisation des trois unités est très élevé.

L'emploi de cellules déjà dessinées et testées (Réf. 18, 19, 35) a permis de réduire considérablement le nombre de cellules nouvelles à concevoir pour la réalisation de ce circuit, et par la même occasion, à mieux rentabiliser le travail déjà effectué.

3.3. ARCHITECTURE DU CIRCUIT INTEGRE IMP

Le circuit intégré présente trois parties distinctes :

- la première s'occupe du calcul et de la gestion des adresses des données contenues dans les RAM's externes (UAD) ;
- la seconde est essentiellement composée d'une ALU (unité arithmétique et logique) et des mémoires : elle effectue les traitements et les transformations binaires sur des données de 8 bits maximum (UCA) ;
- la troisième est un PLA (programmable lors de l'intégration par son niveau de diffusion) (UFS). En fonction de la programmation implantée dans ce PLA, le circuit répond aux applications de transformations binaires (IMP) ou de reconnaissance des caractères (STAN).

Le schéma bloc du circuit est présenté à la figure 3.3-1.

Le code opératoire du circuit comporte 11 bits. Il peut être divisé en deux champs indépendants de microinstructions.

Le premier champ de 5 bits contrôle les opérations sur les adresses, tandis que le second de 6 bits organise les opérations sur les données.

Ces deux champs sont connectés à deux décodeurs qui génèrent les commandes de la partie adressage (petit décodeur) et des parties de calcul et de fonctions spéciales (grand décodeur).

Le champ d'adresse comporte 16 bits et est divisé en deux sous-champs de 8 bits : ADDL et ADDH. Ces deux derniers sont indépendants l'un de l'autre et peuvent être utilisés ensemble (16 bits : 65536 adresses possibles) ou séparément ($2 * 8$ bits : 256 adresses de lignes et 256 adresses de colonnes).

Le champ de données comporte 8 bits et est bidirectionnel : par les mêmes plots transitent les données d'entrée et de sortie.

Deux bits d'information (FLAG) X1 et X2 provenant l'un de l'unité d'adressage et l'autre de l'unité arithmétique, signalent les dépassements éventuels de capacité des deux unités.

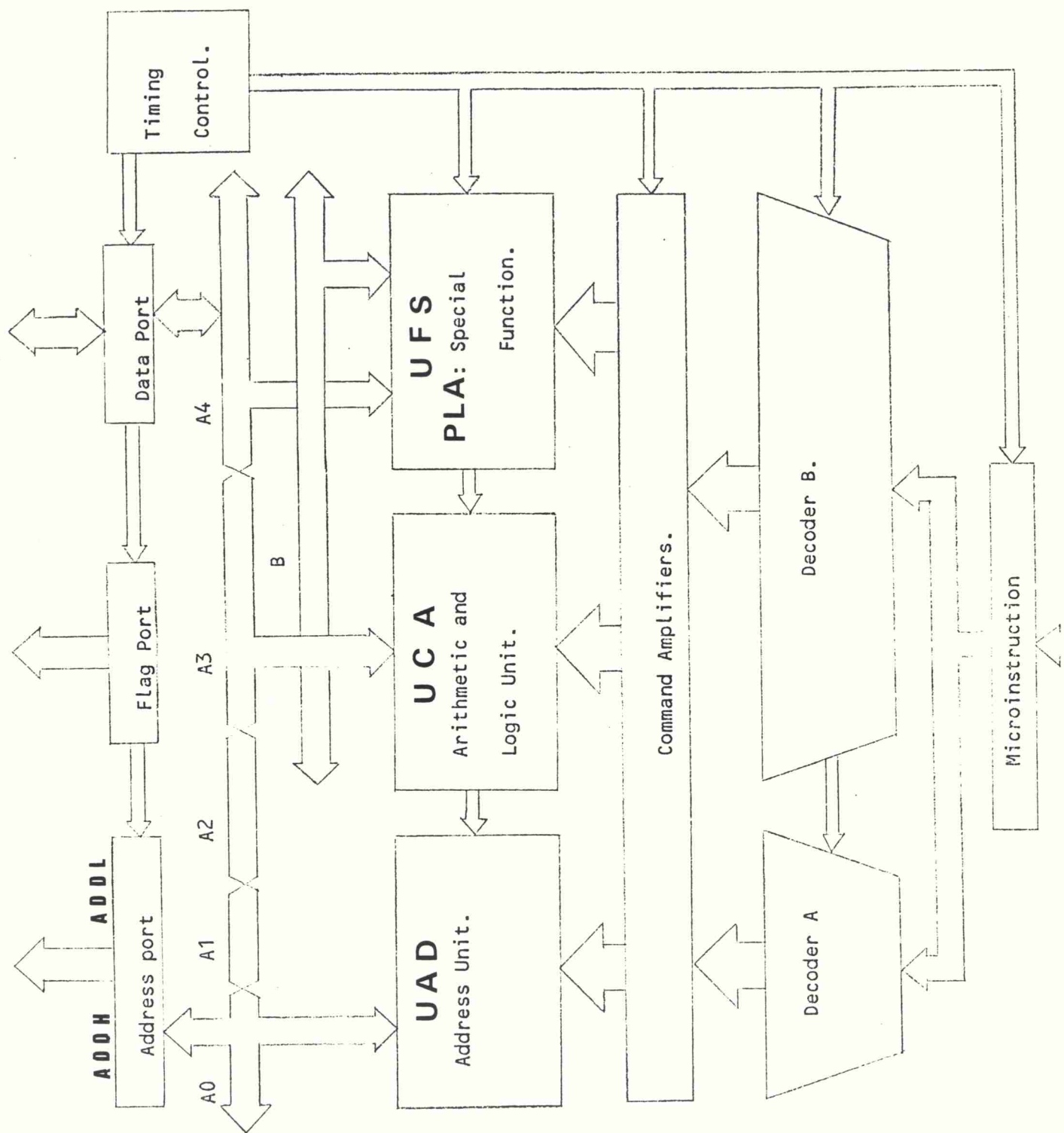


Figure 3.3-1

Les trois unités, les ports d'adresses et d'entrée/sortie peuvent communiquer par l'intermédiaire d'un bus principal A de 8 bits. Ce dernier est divisible en 5 sous-bus ($A^0, \dots, A^4$) ce qui autorise le travail en parallèle des trois unités. Un bus secondaire B de 8 bits est commun aux unités de calcul (UCA) et de fonctions spéciales (UFS).

Tous les processus internes au circuit IMP sont subordonnés à deux horloges de synchronisation C11 et C12.

3.4. METHODE BIT-SLICE

L'originalité et l'efficacité de la méthode de design "Bit-slice" proviennent de ses possibilités de conception modulaire :

- modularité verticale : un registre de n bits est construit en répétant n fois un registre de 1 bit (Fig. 3.4-1).
- modularité horizontale : l'unité désirée est constituée par l'adjonction de ses différents composants : registres, ALU, ... (Fig. 3.4-2).

Cette méthode efficace de conception exige cependant d'observer lors du dessin des cellules de base :

- une continuité des connexions entre cellules de même nature. L'adjonction des cellules doit permettre la propagation des commandes communes et les échanges de données (communication des reports entre les cellules d'un additionneur (Fig. 3.4-3), ...).
- une modularité horizontale simplifiée. L'alimentation électrique des cellules, ainsi que les échanges de données (BUS) se font par l'intermédiaire de lignes d'aluminium figées, afin d'assurer une compatibilité maximale entre cellules de natures diverses.

Le canevas défini est le suivant :

- lignes horizontales d'aluminium (larges de 10 microns et distantes entre elles de 10 microns) pour les alimentations (VDD et GND), les bus (A et B) et les échanges locaux d'informations. La hauteur d'une cellule de base est fixée à 160 microns (Fig. 3.4-4).
- lignes verticales en polysilicium pour les commandes et les échanges entre cellules de même nature (reports, ...).

La figure 3.4-5 présente un détail de la partie opérative du circuit IMP. Le canevas signalé, aluminium (traits discontinus), - polysilicium (traits continus), y est bien visible.

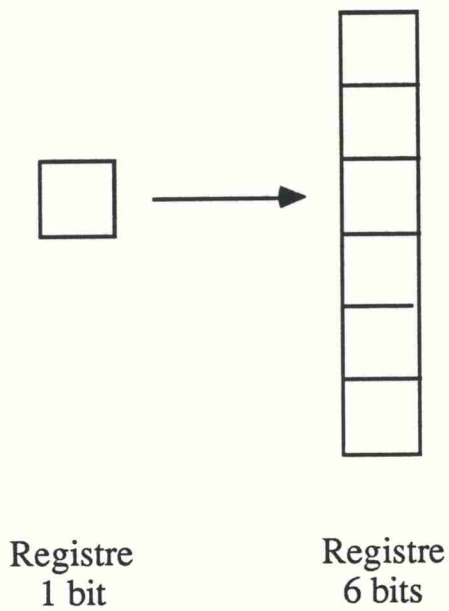


Figure 3.4-1

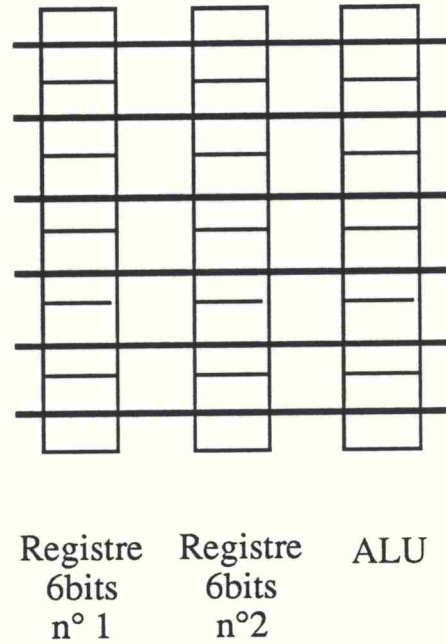


Figure 3.4-2

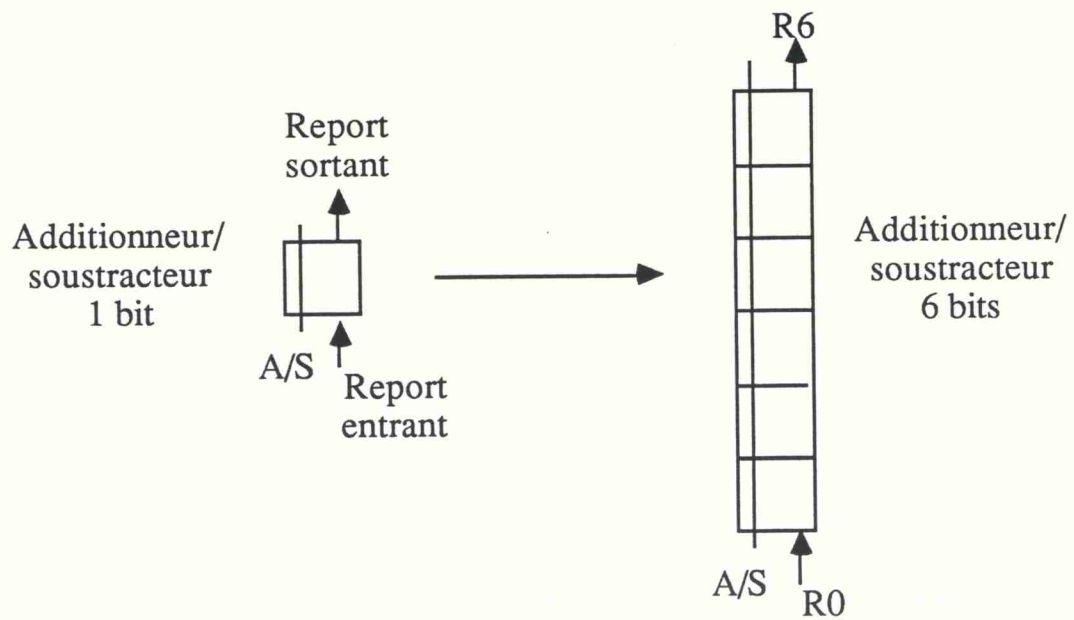


Figure 3.4-3

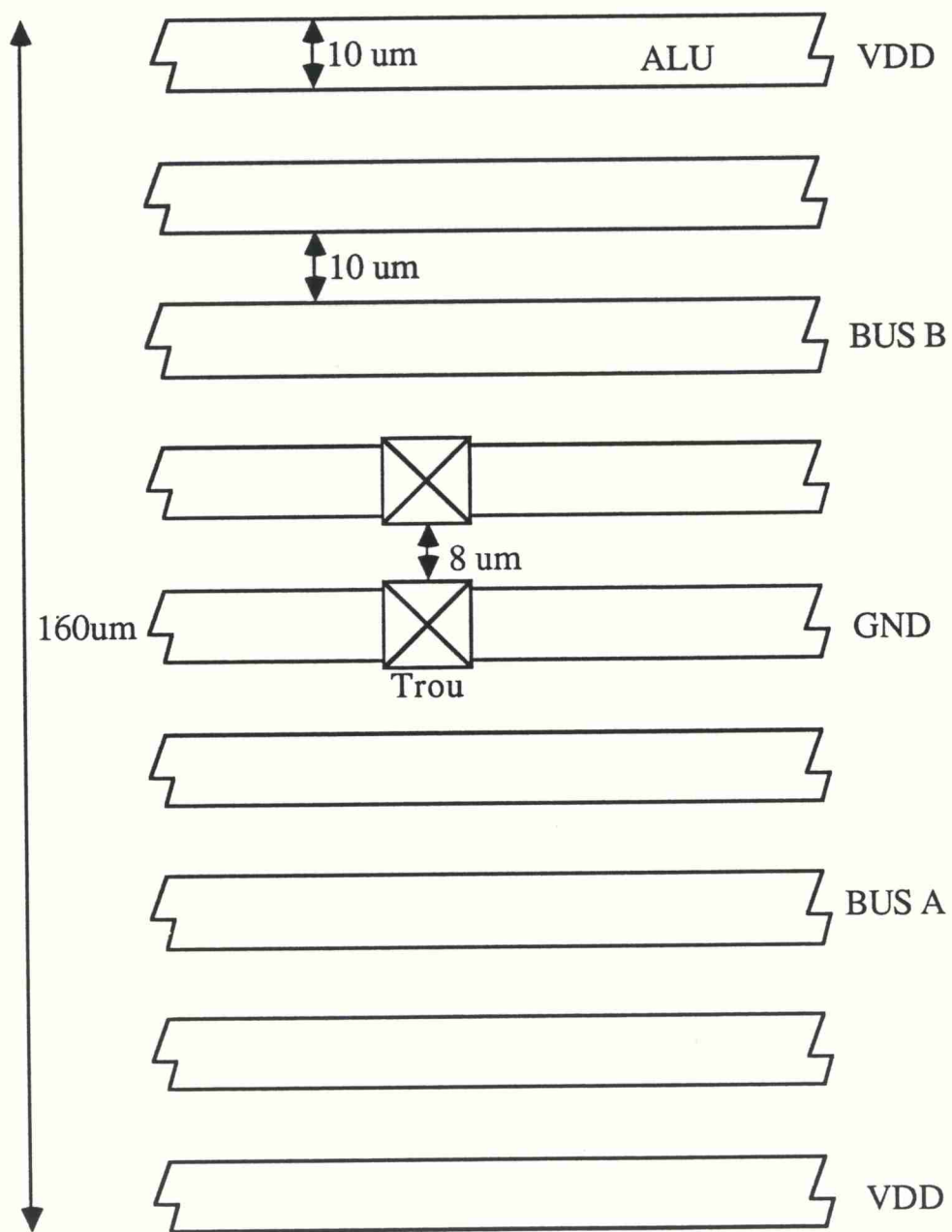


Figure 3.4-4

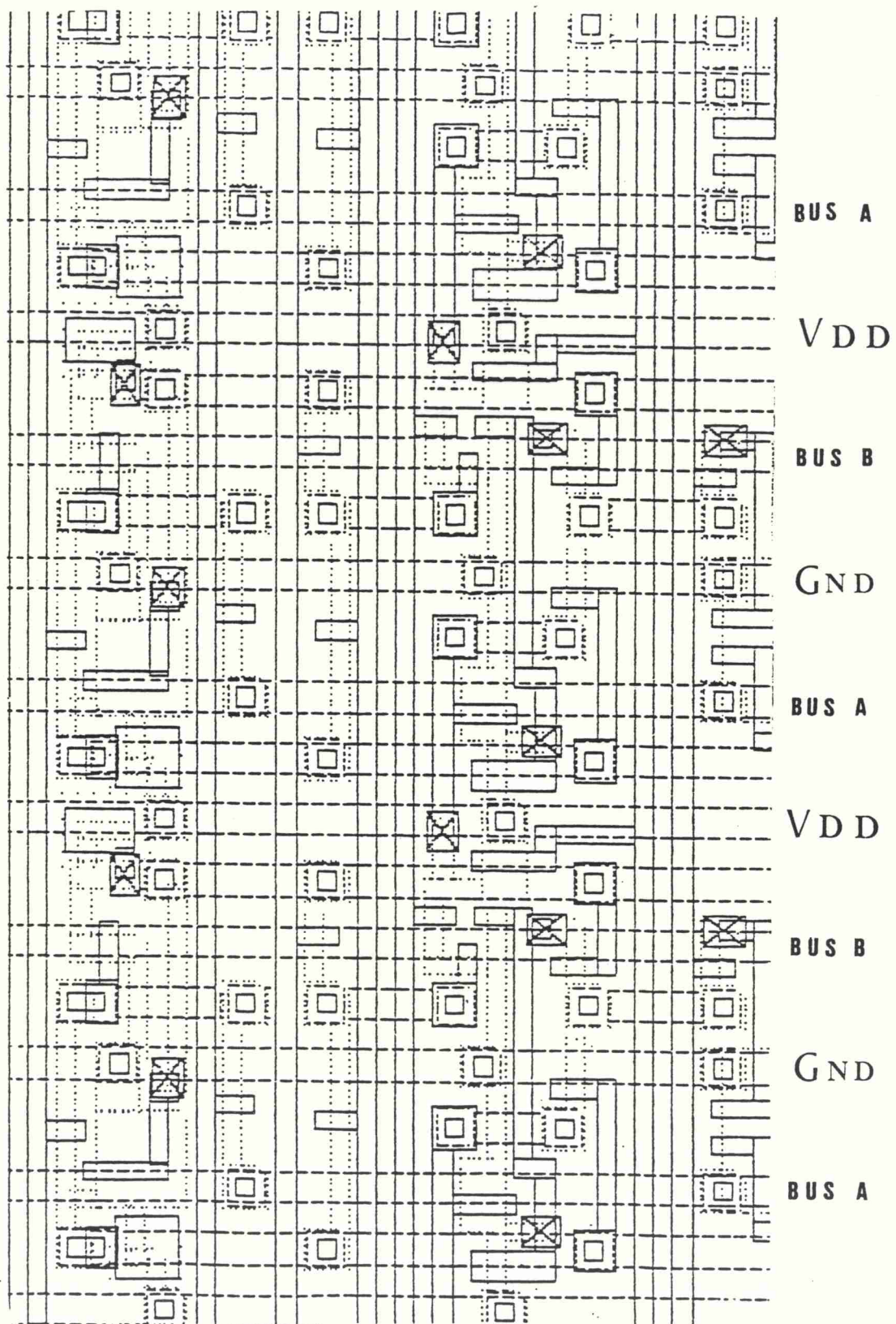


Figure 3.4-5

3.5. UNITE DE CALCUL D'ADRESSES (UAD)

Cette unité s'occupe du calcul et de la gestion des adresses des données demandées lors de l'exécution des programmes de transformations binaires.

Le schéma logique de cette unité est repris à la figure 3.5-1. La partie opératoire de cette unité comprend un incrémenteur/décrémenteur (ALU), un comparateur (COMP), cinq registres (RG¹ ...RG⁵) et deux registres de port d'adresse (ADDL et ADDH). Sa largeur logique est de 8 bits.

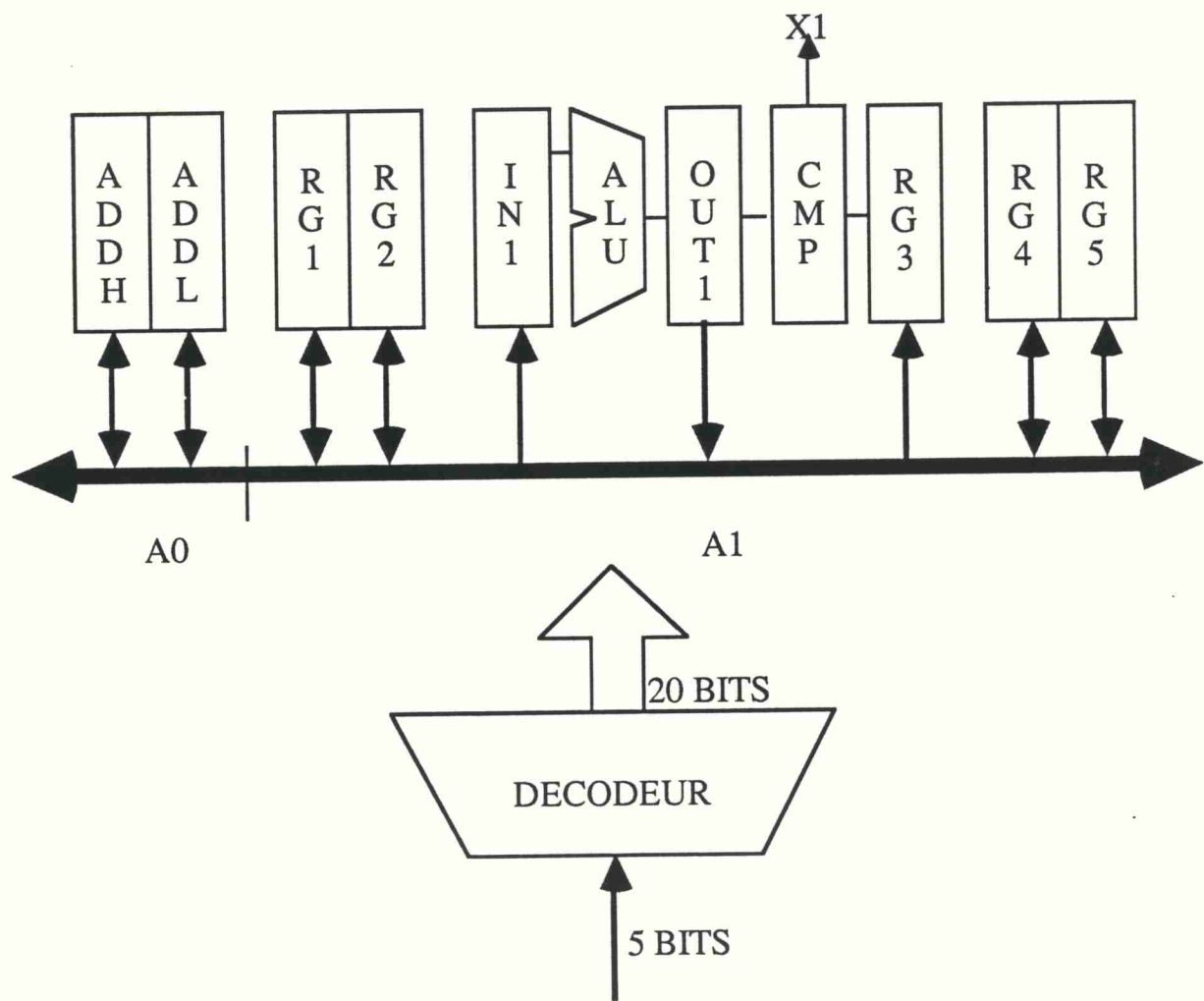
Un bus A, divisible en deux sous-bus (A⁰ et A¹), relie les différents éléments de la partie opérative. Ce bus peut, en outre, communiquer avec le bus principal de l'Unité de Calcul Arithmétique (UCA) : échanges de données, ...

Un bit d'information et d'état (X1) signale à l'unité externe de commande le résultat de la comparaison de deux registres IN1 et REG3. Il permet, par exemple, d'arrêter le traitement effectué sur une ligne à un pixel déterminé de cette dernière : travail local sur une fenêtre,...

Décrire toutes les cellules de base serait un travail fastidieux. Quelques cellules seront présentées au chapitre 4.

Le décodage des microinstructions, destinées à l'unité de calcul d'adresses, est effectué par un décodeur qui, à partir de cinq bits d'entrée, génère 27 instructions différentes. Ces dernières se divisent en trois groupes (Fig. 3.5-2) :

- les instructions de chargement des registres d'entrée de l'ALU,
- les instructions de lecture des résultats de l'ALU,
- les instructions de transfert bidirectionnel des données avec l'Unité de Calcul Arithmétique.



L'Unité de Calcul
d'Adresses (UAD)
Figure 3.5-1

Classe 1 : - OUT1 = 0
 - OUT1 = ADDH + 1
 - OUT1 = ADDH - 1
 - OUT1 = ADDL + 1
 - OUT1 = ADDL - 1
 - OUT1 = RGi + 1
 - OUT1 = RGi - 1
 - ...

Classe 2 : - ADDH = OUT1
 - ADDL = OUT1
 - RGi = OUT1
 - IN3 = OUT1
 - ...

Classe 3 : - RGi = BUS
 - ADDH = BUS
 - ADDL = BUS
 - BUS = RGi
 - ...

Figure 3.5-2.

3.6. UNITE DE CALCUL ARITHMETIQUE (UCA)

Cette unité exécute les opérations arithmétiques sur les données, suivant des algorithmes définis, contenus dans une mémoire extérieure (EPROM) et gérés par l'unité de commande externe.

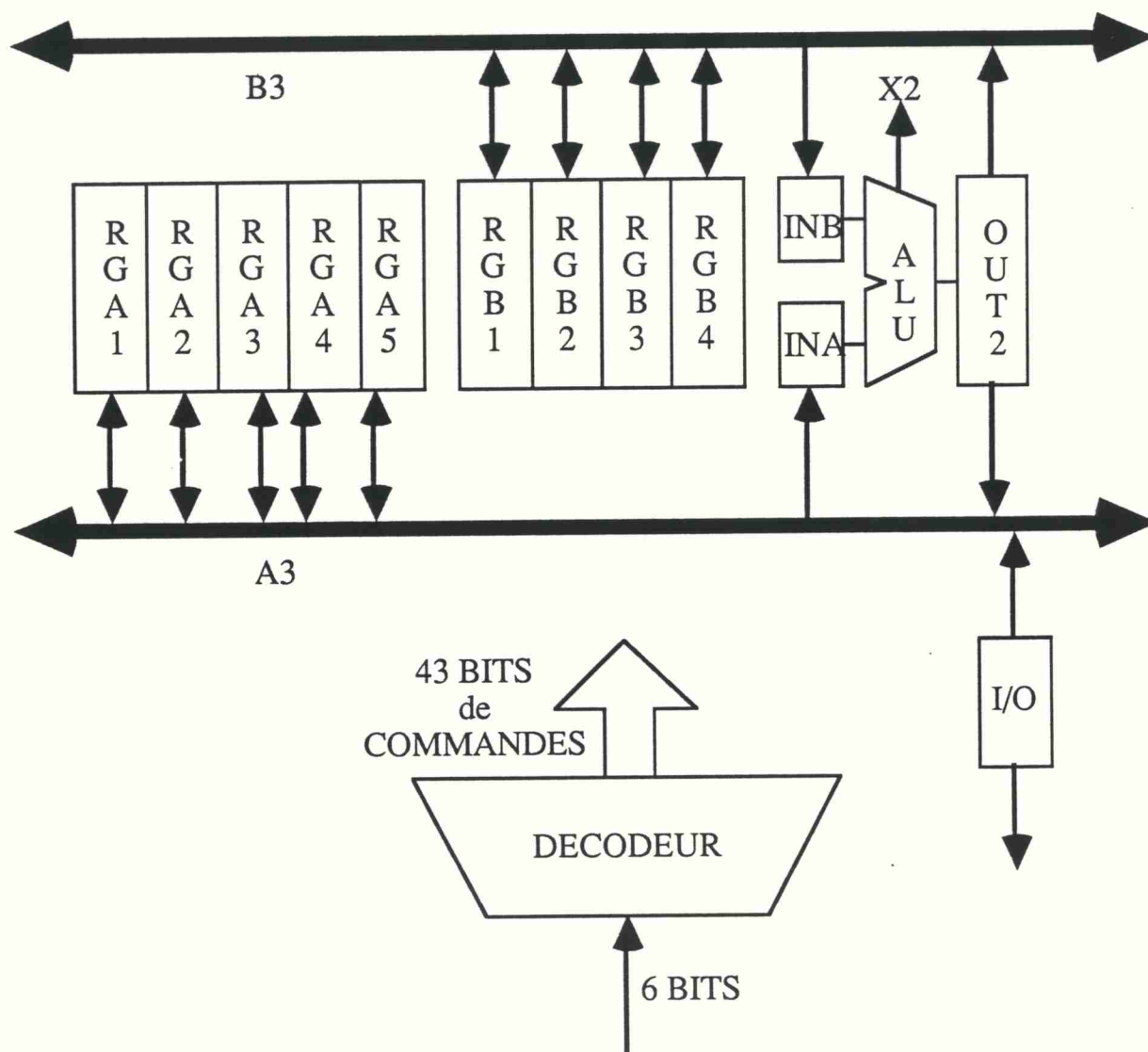
Le schéma logique de cette unité est donné à la figure 3.6-1. La largeur logique de l'unité est de 8 bits.

Deux bus de 8 bits A et B relient les différents éléments de l'unité. Le bus A peut être connecté avec un correspondant dans les unités de calcul d'adresses ou de fonctions spéciales (division du bus A en sous-bus). Le bus B est commun aux unités de calcul arithmétique et de fonctions spéciales.

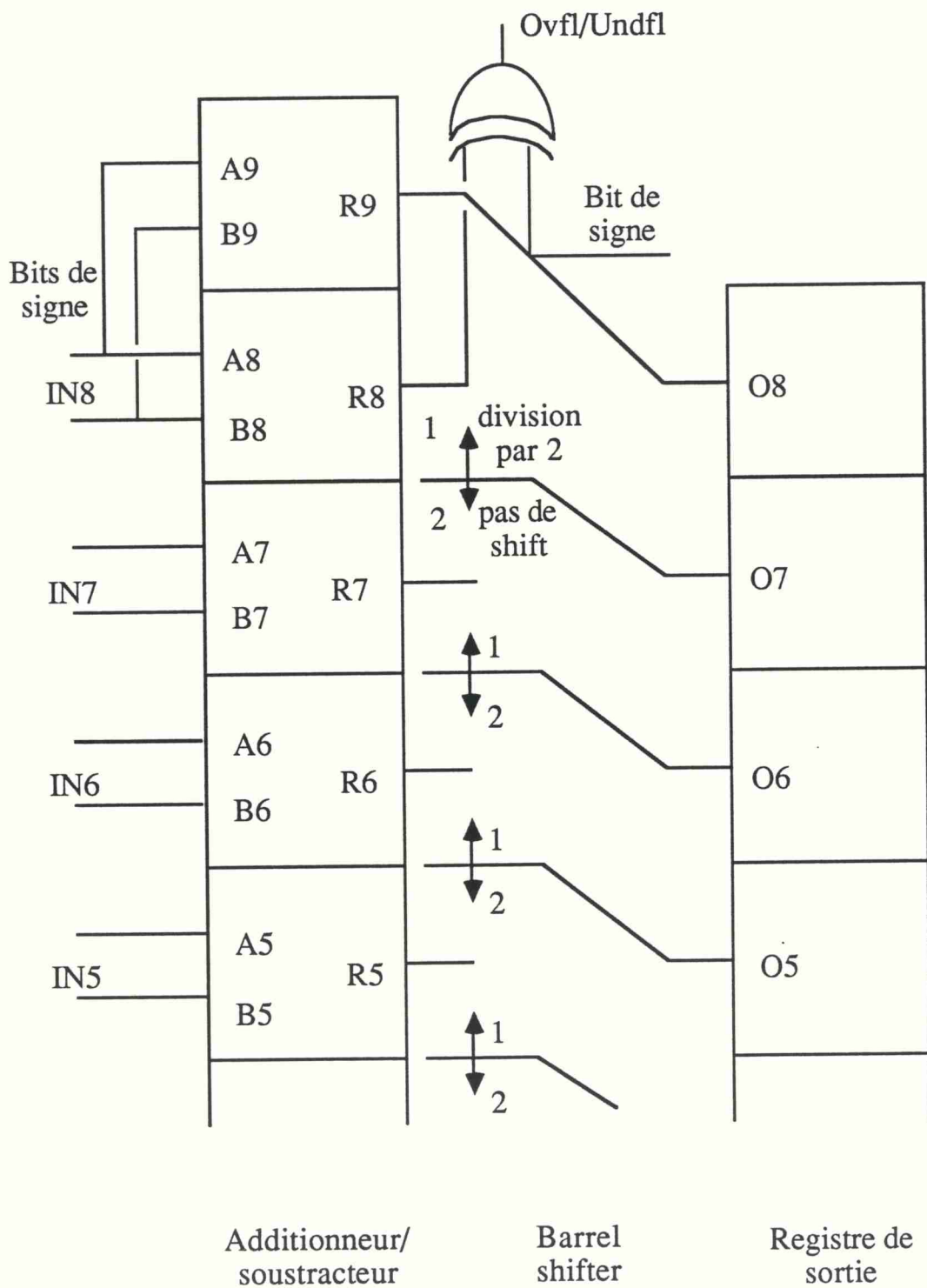
Les registres de 8 bits, au nombre de 9, sont connectées directement sur le bus A (cinq premiers registres) et sur le bus B (quatre derniers registres). Ces registres, déjà rencontrés dans la description de l'unité de calcul d'adresses, seront décrits au chapitre B.4.

Le port d'entrée/sortie comporte 8 bits, est de type tri-state et bidirectionnel, contient un registre interne de 8 bits et est directement relié au bus A.

L'ALU est un additionneur/soustracteur travaillant sur des données de 8 bits contenues dans ses registres d'entrée INA et INB (Réf. 35). Il traite des nombres en complément à 2 (8 bits dont un de signe). A cet effet, l'additionneur/soustracteur a une largeur logique de 9 bits : le bit supplémentaire (le signe répété en entrée) sert à contrôler les dépassements éventuels de capacité. Le résultat (sur 9 bits) est stocké dans le registre de sortie OUT2 de l'additionneur/soustracteur : un barrel-shifter à deux positions permet de sélectionner les 7 premiers (MSB) ou les 7 derniers (LSB) bits du résultat (plus un bit de signe) et de les injecter sur les bus A ou B (Fig. 3.6-2). Le bit d'état X2 permet de tester le signe du résultat et de le communiquer à l'unité externe de contrôle.



L'Unité de Calcul
Arithmétique
Figure 3.6-1



Structure de l'ALU
Figure 3.6-2

Les microinstructions, codées sur 6 bits sont traduites en commandes internes par un décodeur "commun" aux unités de calcul arithmétique et de fonctions spéciales. Les 55 microinstructions implémentées se divisent en 4 classes (Fig. 3.6-3) :

- les instructions d'écriture dans les registres d'entrée de l'additionneur/soustracteur,
- les instructions de lecture des résultats,
- les instructions de transfert entre registres,
- les instructions d'entrée/sortie de données.

Classe 1 : - $OUT2 = 0$

- $OUT2 = INA - RGBi$
- $OUT2 = INA + RGBi$
- $OUT2 = INB$
- $OUT2 = INA$
- $OUT2 = OUT2 + RGAi/2$
- $OUT2 = OUT2 + RGBi/2$
- ...

Classe 2 : - $RGA1 = OUT2$

- $RGA2 = OUT2$
- $RGBi = OUT2$
- $INB = OUT2$
- ...

Classe 3 : - $RGA2 = RGA1$

- $RGA3 = RGA2$
- $RGA4 = RGA3$
- ...

Classe 4 : - $OUT2 = IO$

- $IO = BUS$
- $BUS = IO$
- $INA = IO$
- ...

Figure 3.6-3.

3.7. L'UNITE DE CALCUL DE FONCTIONS SPECIALES (UFS)

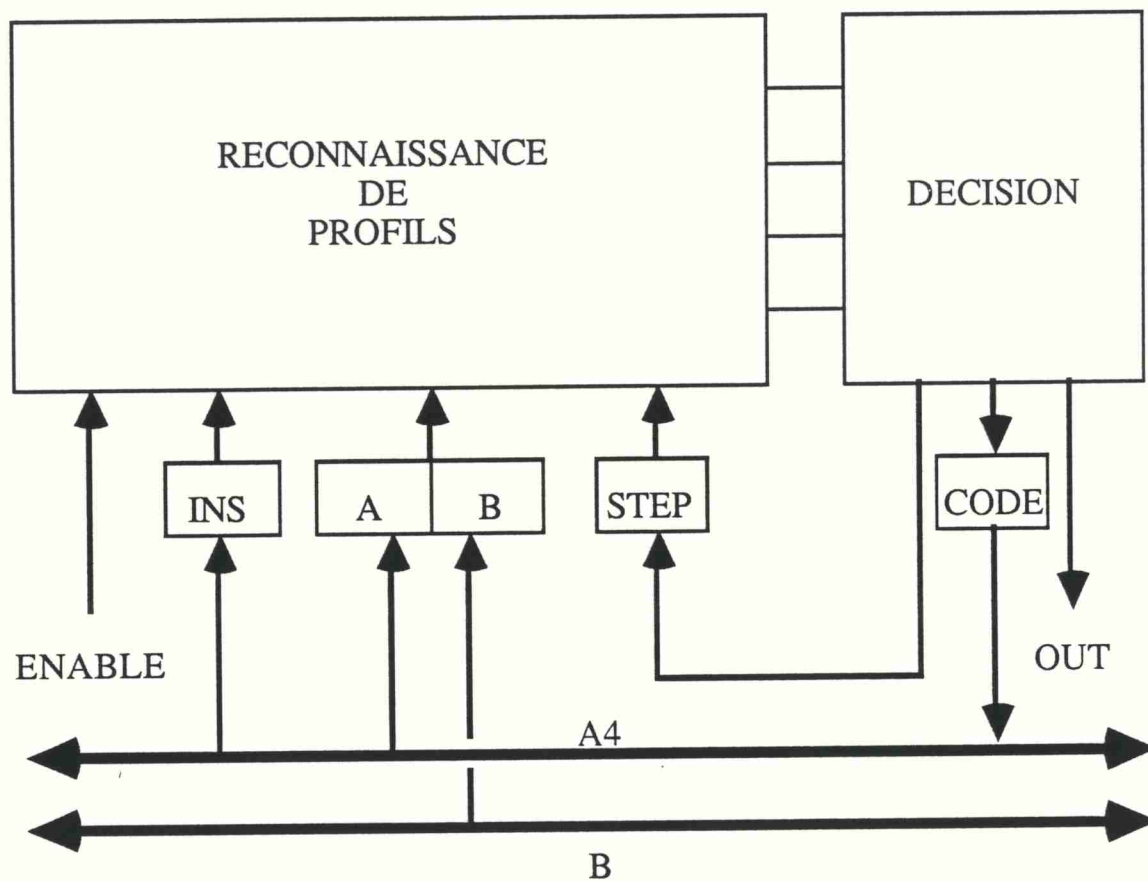
Le schéma logique de cette unité est donné à la figure 3.7-1. Cette unité de fonctions spéciales est matérialisée à l'aide d'un grand réseau logique programmable (PLA) de type NOR-NOR à 80 minterms. Un des intérêts de cette structure tient au fait qu'elle peut être générée automatiquement à partir du programme que l'on veut mémoriser sur le circuit. Pour des structures de cette dimension, il est intéressant d'utiliser des programmes générant les structures à partir d'un langage de description d'automate fini (Réf. 37).

Les raisons du choix d'une structure PLA pour l'unité de calcul de fonctions spéciales (UFS) sont doubles :

- la programmabilité du PLA, par son niveau de diffusion, rend le même circuit intégré apte pour des applications aussi différentes que les transformations binaires et la reconnaissance des caractères ;
- la seule solution palliative au PLA était, pour les applications de transformations binaires, un multiplieur parallèle alors en cours de développement dans l'Unité de Microélectronique et, de plus, de taille trop importante dans la technologie 6 μ m NMOS (Réf.45).

Les registres d'entrée du PLA sont au nombre de 5 : 2 registres de 8 bits (INST, A) chargés depuis le bus A⁴, un registre B de 8 bits lié au bus B, un registre de bouclage STEP de 4 bits permettant l'implantation d'instructions séquentielles et un registre ENABLE de 1 bit activant ou désactivant l'unité. Notons encore que les registres A et B peuvent être couplés et former un registre unique ayant des possibilités de décalage d'une ou plusieurs positions.

Les registres de sorties sont au nombre de 3 : le registre CODE sort ses 8 bits sur le bus A⁴, STEP est rebouclé à l'entrée du même nom, et la sortie binaire OUT est directement connectée à un plot de sortie.



L'Unité de Calcul
de Fonctions Spéciales
Figure 3.7-1

La programmation du PLA déterminera le type d'applications visées par le circuit intégré (STAN ou IMP). Les applications de transformations binaires utiliseront principalement les registres d'entrée A, B et INST, ainsi que les registres de sortie CODE et OUT.

3.8. ORGANISATION TEMPORELLE

L'organisation temporelle du circuit intégré est celle d'une machine séquentielle à deux phases CI1 et CI2 sans recouvrement (Réf. 27). Ces deux phases sont générées sur le circuit à partir d'une horloge mère extérieure $\overline{CI1}$, et suivant une technique de "self-Timing" contrôlant le délai de non-recouvrement.

L'emploi interne de l'horloge mère $\overline{CI1}$ permet d'éviter les conflits de compétence entre les commandes d'accès aux bus et la précharge de ceux-ci, se traduisant par une écriture parasite dans un registre au début de la précharge des bus. Pour palier cet inconvénient, les commandes sont amenées à zéro sur $\overline{CI1}$ avant le début de la précharge sur CI2 (Fig. 3.8-1).

L'organisation temporelle générale du circuit est la suivante (Fig. 3.8-2,3) :

sur CI1

- accès aux bus et transfert des informations,
- lecture des résultats de l'ALU,
- précharge des lignes de report de l'ALU,
- validation des commandes en sortie des décodeurs,
- précharge des entrées des décodeurs,
- validation des données en sortie,
- lecture du code opératoire,
- établissement des bits de condition X1 et X2 ;

sur CI2

- calcul de l'ALU,
- précharge des bus,
- calcul des décodeurs,
- transfert interne des informations dans les registres Maître-Esclave,
- écriture sur les bus externes.

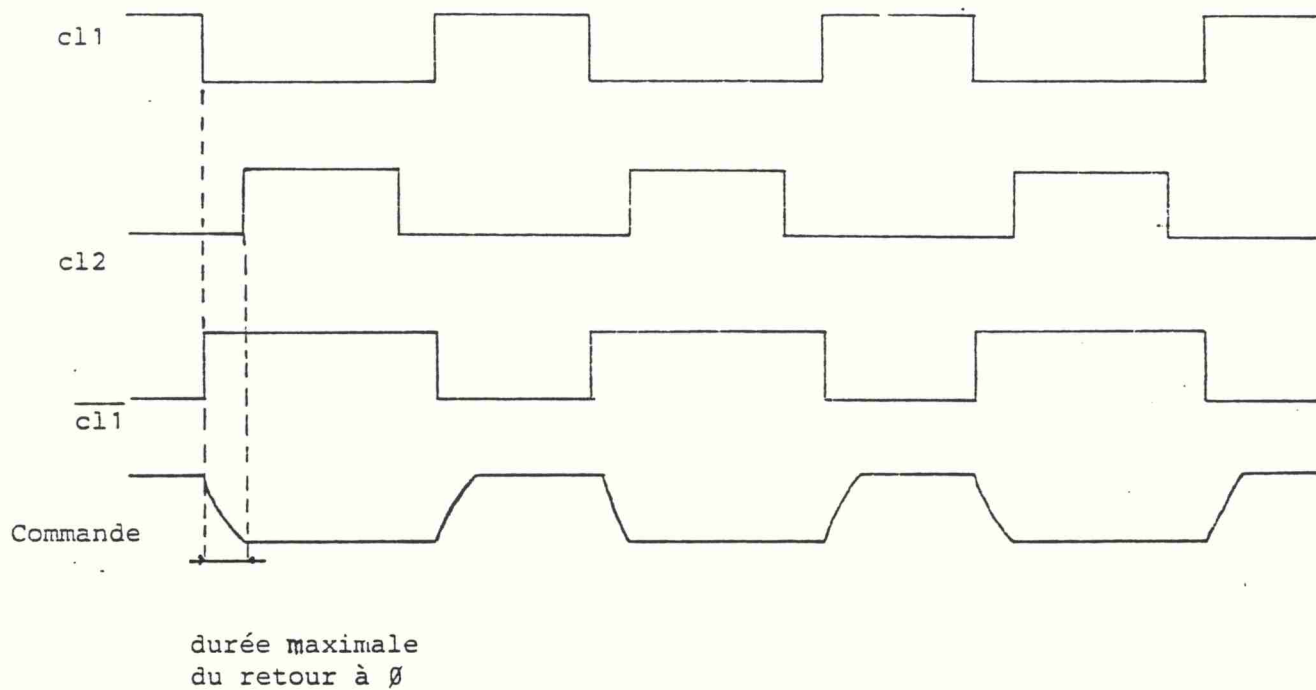


Figure 3.8-1

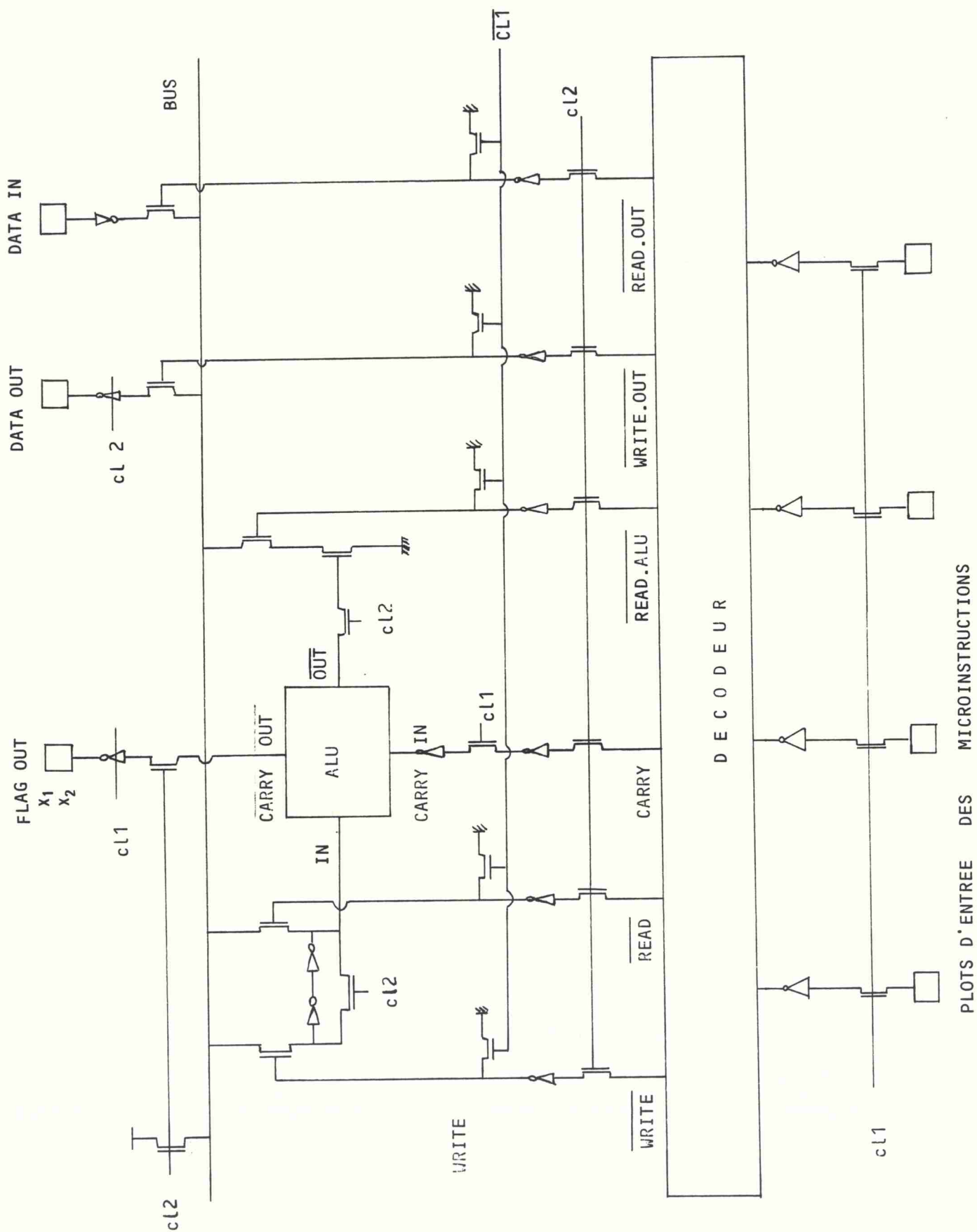


Figure 3.8-2

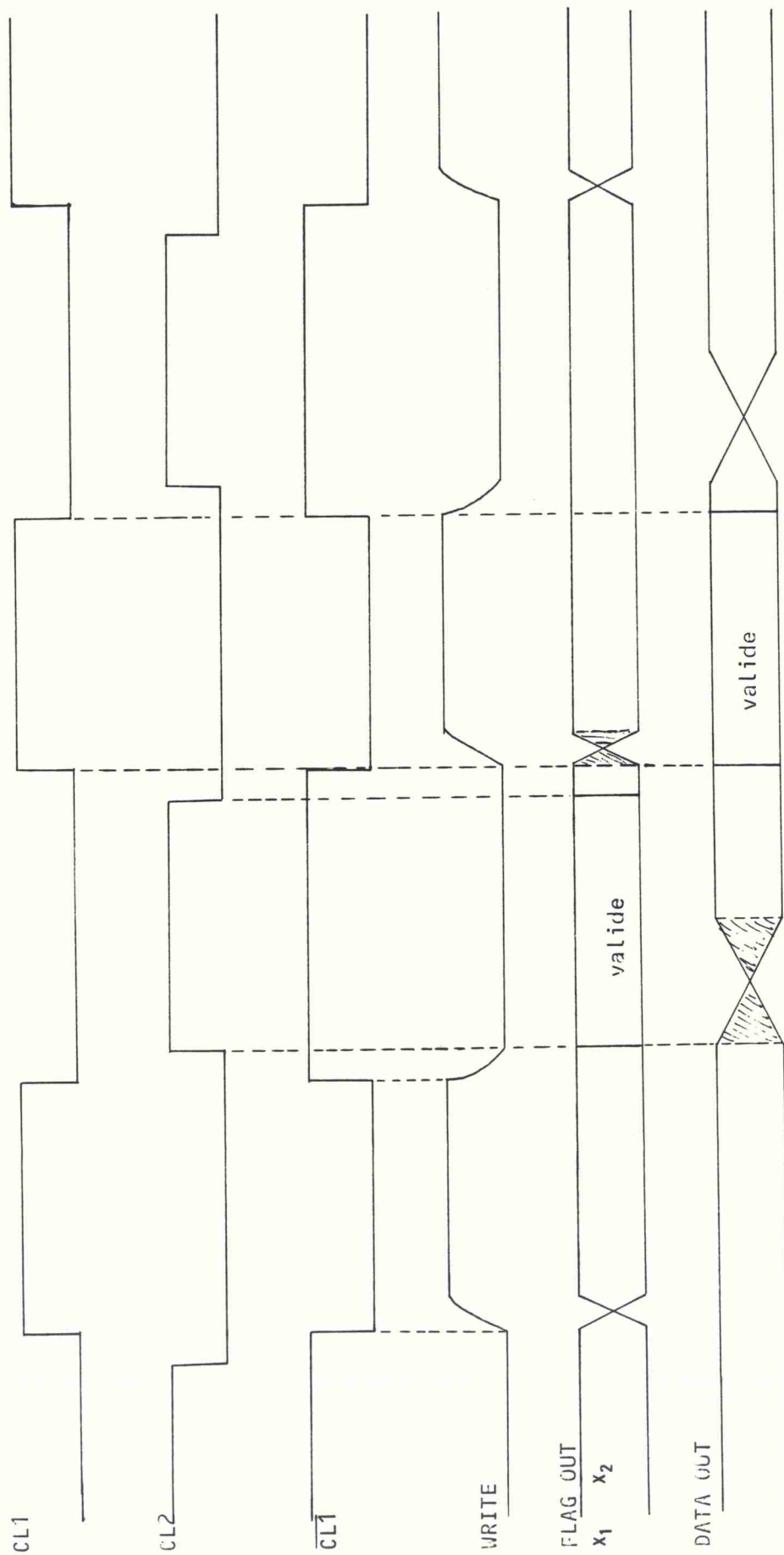


Figure 3.8-3

Examinons plus en détails les différents signaux d'entrée et de sortie du circuit, en les référant à l'horloge externe $\overline{Cl1}$:

- le code opératoire : il doit être valide durant toute la phase basse de l'horloge $\overline{Cl1}$. En effet, c'est durant cette période que le circuit va échantillonner la sortie des registres TTL de microinstructions qui sont synchronisés sur le flanc montant de l'horloge (Fig. 3.8-4).
- le bus d'adresses : lorsqu'une instruction change la valeur du bus d'adresses du circuit, cette valeur est modifiée sur le flanc montant de l'horloge. Une demi-période est allouée pour le changement des valeurs sur le bus. L'adresse sera ainsi valide sur le flanc descendant de l'horloge (Fig. 3.8-5).
- le bus de données : le comportement du bus de données est fort similaire à celui du bus d'adresses. Les données sont modifiées durant la phase haute de l'horloge et validées durant la phase basse (Fig. 3.8-6). Le port de données peut également passer en mode "tri-state" sur le flanc descendant de l'horloge et, dans ce cas, garder cet état pendant un cycle d'horloge complet.
- les bits d'état X1 et X2 : ces deux bits d'état ont exactement la même synchronisation (Fig. 3.8-7). La modification de leur valeur intervient sur le flanc descendant de l'horloge et les bits d'état sont valides sur le flanc montant.

Le circuit IMP a été conçu pour travailler à une fréquence d'horloge de 2 MHz. Les différents chemins critiques ont spécialement été étudiés afin de maximiser la vitesse de fonctionnement du circuit. Citons quelques exemples de chemins critiques ayant fait l'objet de simulations approfondies :

- la propagation du report dans l'ALU,
- le fonctionnement du PLA,
- la distribution des horloges dans le circuit,
- la propagation des signaux de commandes.

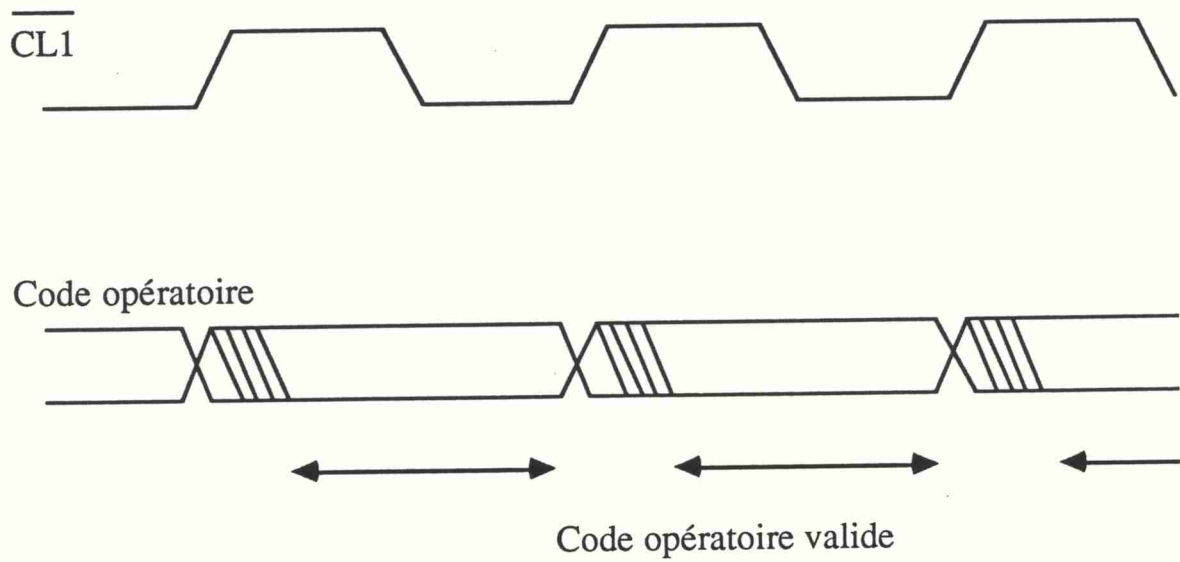


Figure 3.8-4

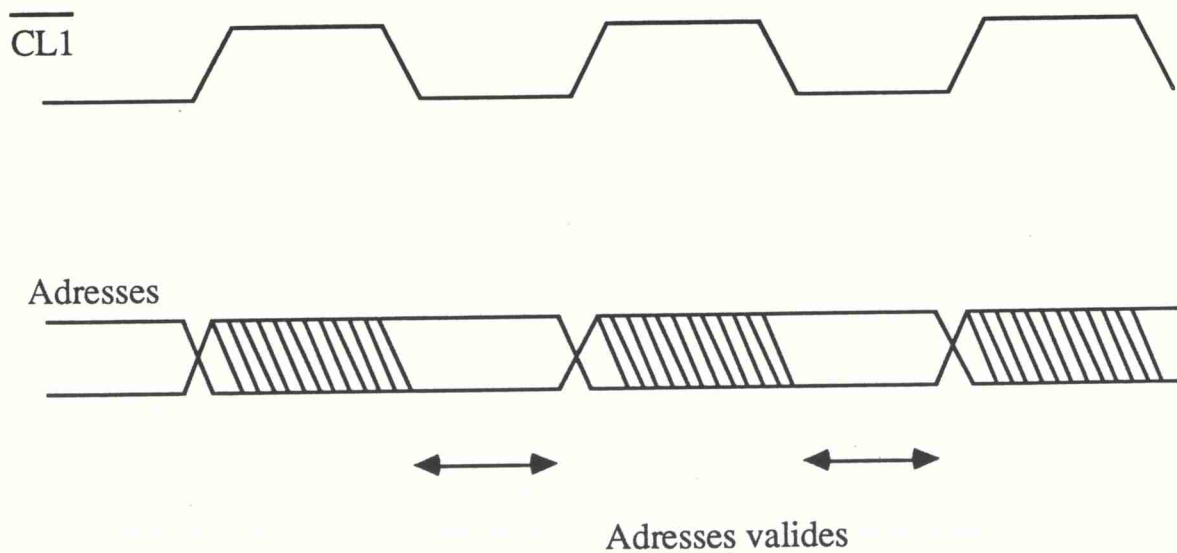


Figure 3.8-5

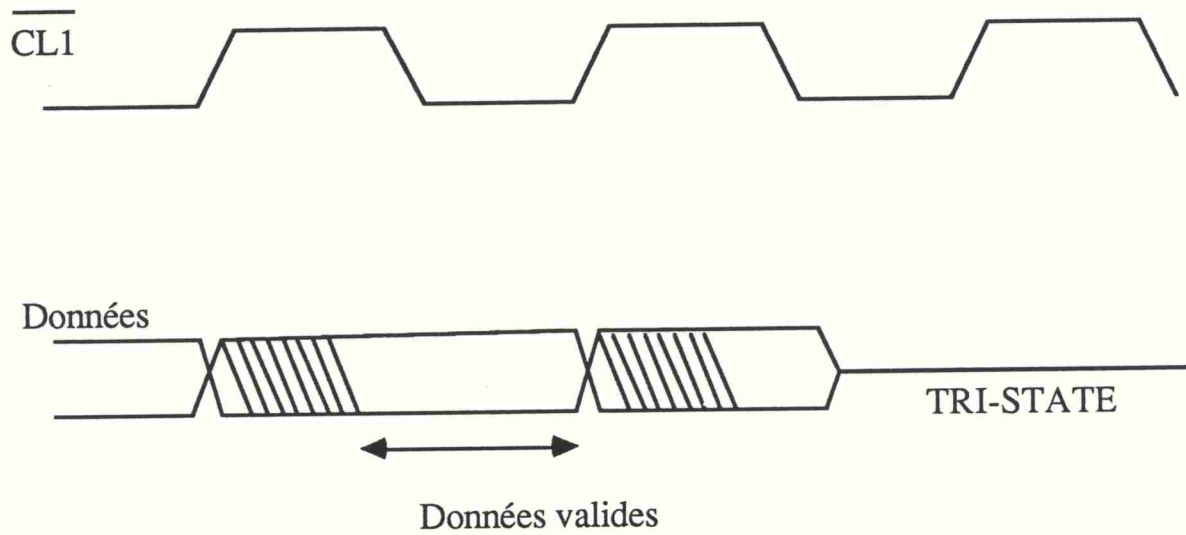


Figure 3.8-6

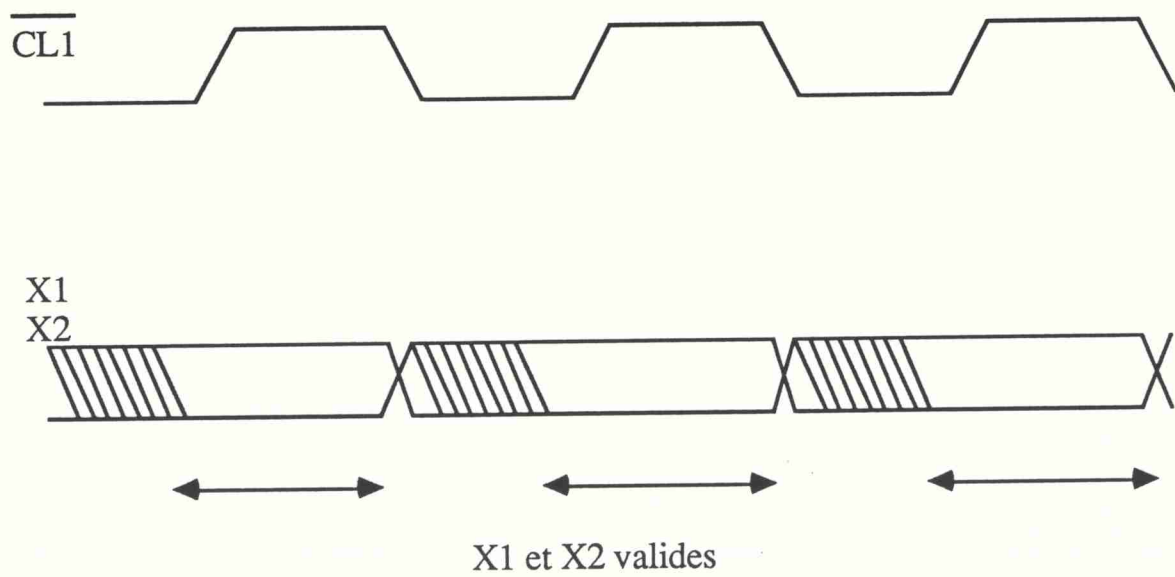


Figure 3.8-7

3.9. LE PLAN DE MASSE

Le plan de masse du circuit IMP est donné à la figure 3.9-1. On retrouve sur cette figure les principaux blocs du circuit, de même que toutes les connexions entre les différents blocs :

- la distribution des alimentations,
- la distribution des signaux d'horloges,
- la connexion du code opératoire aux deux décodeurs,
- la connexion du port d'adresses au bus d'adresses,
- la connexion du port de données au bus principal de données A,
- le réseau de connexions entre les amplificateurs de commande et le "bit-slice",
- les connexions entre la partie "bit-slice" et l'unité de calcul de fonctions spéciales.

La structure utilisée pour les unités de calcul d'adresses et de calcul arithmétique est du type "bit-slice". La régularité est par conséquent très grande. L'unité de calcul de fonctions spéciales est, quant à elle, basée sur un grand PLA. Ce dernier ne travaillant pas sur 8 bits d'entrée, mais sur 24 bits, la hauteur du bloc PLA n'est pas identique à celle du "bit-slice" et il est nécessaire de prévoir un canal de routage reliant les deux unités.

Sur le plan de masse apparaît un bloc que nous n'avons pas encore présenté. Il s'agit d'un bloc contenant la logique de contrôle nécessaire pour un fonctionnement du circuit intégré en mode "Array Processor" (Réf. 36).

En effet, plusieurs processeurs, travaillant en parallèle, chacun sur une partie du document, augmentent de manière significative les performances temporelles de traitement d'un document complet. Cependant, cette solution "Array Processor" exige un nombre important d'échanges interprocesseurs d'informations, ainsi que la mise sous contrôle d'une seule unité de commandes de tous les processeurs, et ce, via une logique de contrôle implémentée dans le circuit intégré. Pour des raisons de testabilité, le bloc intégré dans le circuit réalise une fonction simple de comptage. Dans une version ultérieure du circuit, la logique de contrôle nécessaire sera placée dans le bloc "Array Processor". Ce bloc comprend essentiellement un réseau logique programmable qui possède cinq entrées et trois sorties. Cela nécessite huit broches supplémentaires pour le circuit qui sera alors encapsulé dans un boîtier 48 contacts.

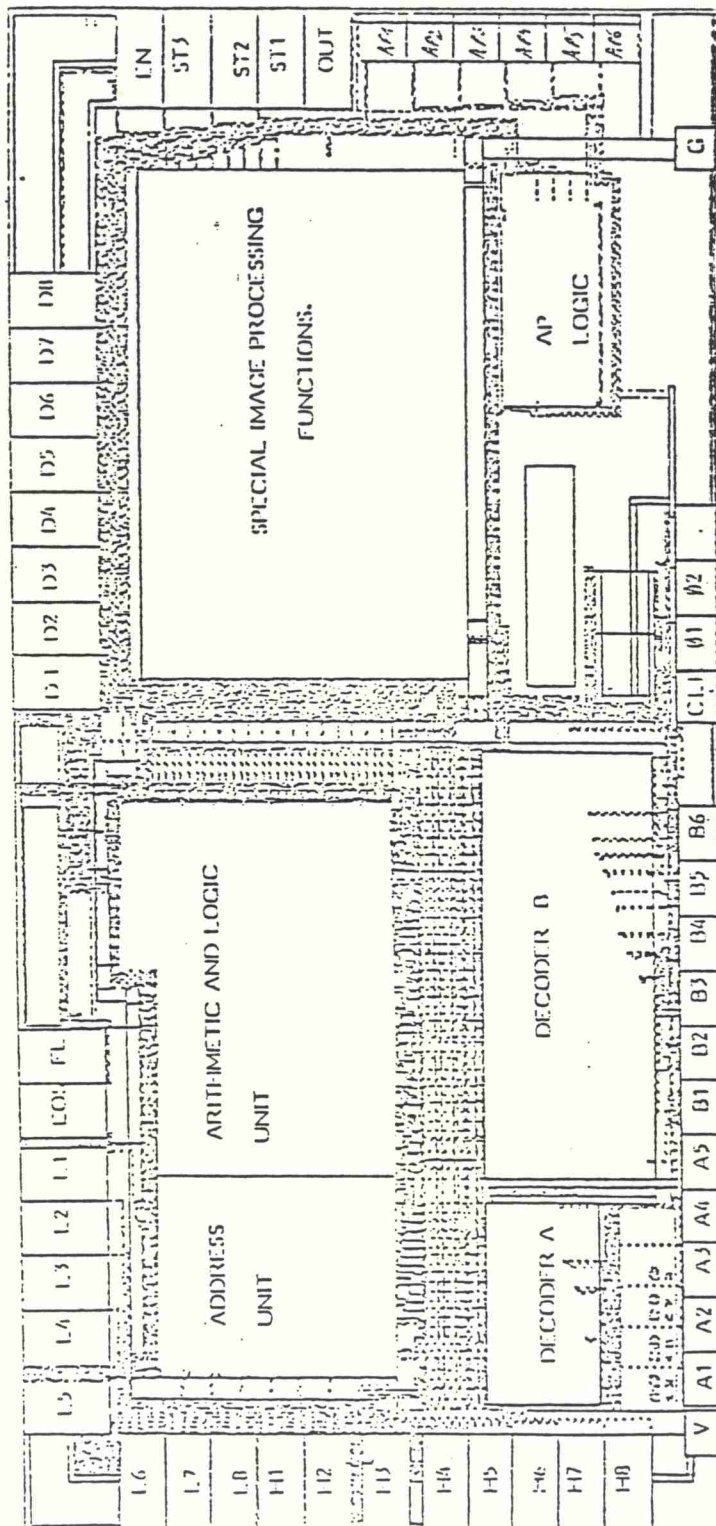


Figure 3. 9-1

Une grande proportion du circuit (près de 50%) est composée de structures régulières, générées automatiquement ou semi-automatiquement. Il s'agit des décodeurs, de l'unité de calcul, des fonctions spéciales et du bloc "Array Processor".

La répartition des alimentations est réalisée en "peigne". Les dimensions des lignes d'alimentation sont calculées en fonction de la densité de courant. Aucun "pont" n'est autorisé sur ces lignes qui sont exclusivement en aluminium. Les horloges sont distribuées par des lignes en aluminium qui peuvent être interrompues par de courtes zones de polysilicium ou de diffusion lors d'un croisement avec une ligne d'alimentation.

L'ensemble des cellules de base ont été écrites en MLGL (Réf. 19) (description proche du CIF). L'assemblage du circuit et les connexions entre blocs sont réalisés en langage de haut niveau HLGL permettant la paramétrisation des différents blocs du circuit et les modifications automatiques en cas de correction locale. Le circuit, sous sa forme rectangle RLGL, comporte 97456 rectangles.

Un ensemble de plots supplémentaires ont été ajoutés afin de faciliter le test du circuit. Huit microplots ont été placés sur le bus A et huit autres sur le bus B. Six plots de type "collecteur ouvert" ont été rajoutés : deux pour la vérification du bon fonctionnement des bus, un pour tester le décodeur B et trois pour vérifier le système de génération des horloges. En cas de problème dans le système de génération des horloges, deux plots d'entrée supplémentaires permettent d'imposer, de l'extérieur, deux phases Cl1 et Cl2 sans recouvrement.

En résumé, la fiche technique du circuit est la suivante :

- fréquence de travail 2 ... 4 MHz,
- dimensions de 4 * 7 mm² en technologie NMOS 6 microns,
- trois parties opératives (UAD, UCA, UFS) pouvant travailler en parallèle,
- structure de bus préchargés (A et B),
- 8 plots d'entrée / sortie de données, interfacés avec le bus A,
- 16 plots de sortie d'adressage, interfacés avec le bus A,
- 11 plots d'entrée de microinstructions (5 pour la partie d'adressage et 6 pour les deux autres parties, générant les commandes internes via deux décodeurs suivant les microinstructions externes),
- programmation du PLA par son niveau diffusion suivant la fonction désirée.

3.10. LA REALISATION DU CIRCUIT

Le circuit comporte 13000 transistors et a été réalisé dans la technologie NMOS 6 microns grille polysilicium du Laboratoire de Microélectronique de l'Université Catholique de Louvain.

Deux fabrications ont été nécessaires pour obtenir un circuit fonctionnel à 100%. Lors du test de la première fabrication, différentes erreurs ont été détectées :

- une cellule de précharge mal dessinée maintenait à '1' le bus A³,
- deux "sur-trous" manquaient dans une cellule de registre,
- deux microinstructions étaient mal programmées dans le décodeur A,
- une entrée du décodeur A était collée à zéro (deux barreaux de diffusion, trop proches lors de la conception, se touchaient sur le circuit intégré).

La première erreur a posé de gros problèmes. En effet, une erreur de ce type risque fort de masquer d'autres problèmes que l'on ne peut détecter. Pour pouvoir tester malgré tout le circuit presque complètement, nous avons réalisé des "microcoupures" sur certaines lignes d'aluminium. Ces microcoupures ont permis d'isoler la cellule défectueuse et de tester le reste du circuit.

La seconde erreur a été mise en évidence par un examen attentif des masques et du circuit au microscope optique.

Les deux dernières erreurs ont été trouvées lors de la procédure de test par vecteurs. Cette dernière sera présentée au chapitre 5 de cette même partie.

Le schéma d'encapsulation est donné à la figure 3.10-1, et une microphotographie du circuit présentée à la figure 3.10-2.

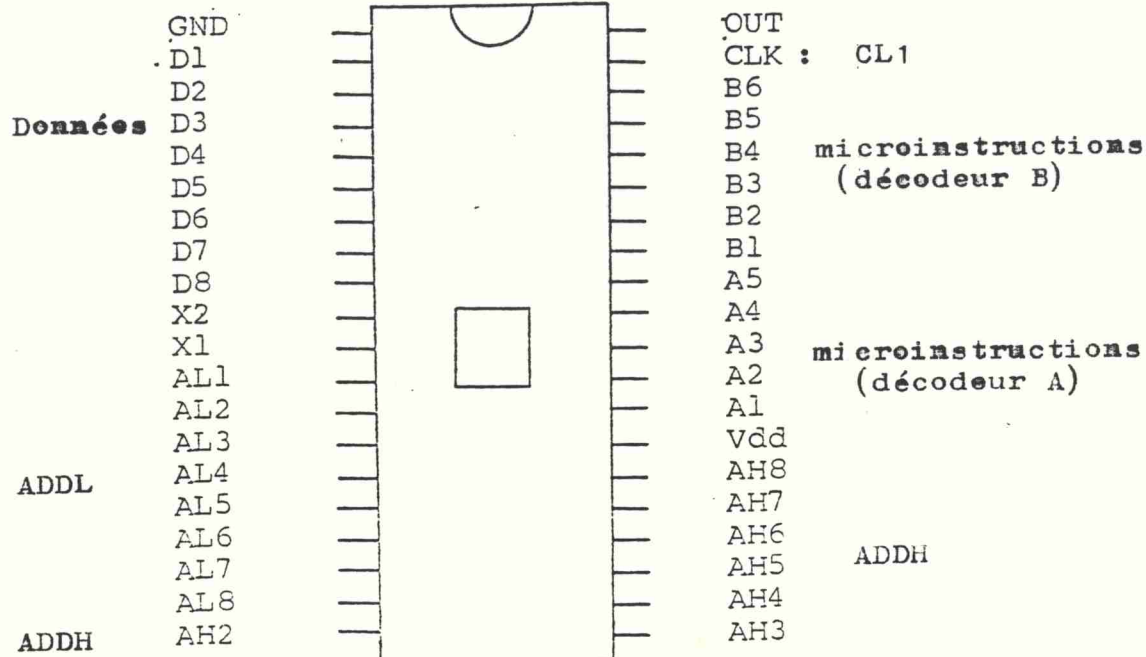


Figure 3.10-1

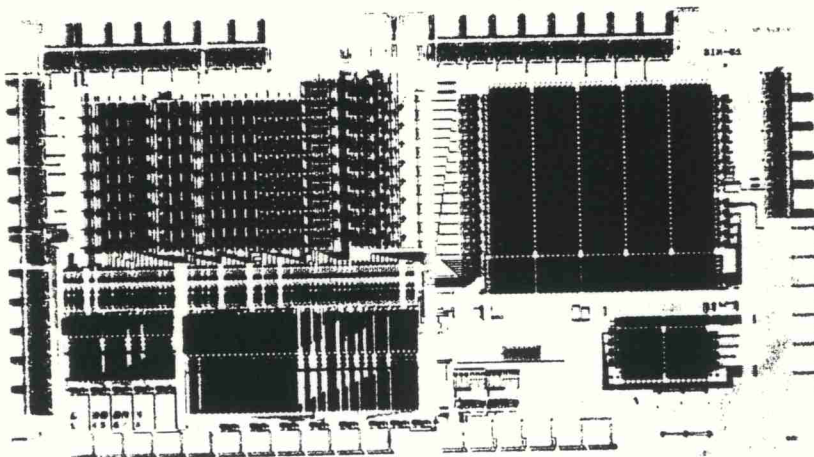
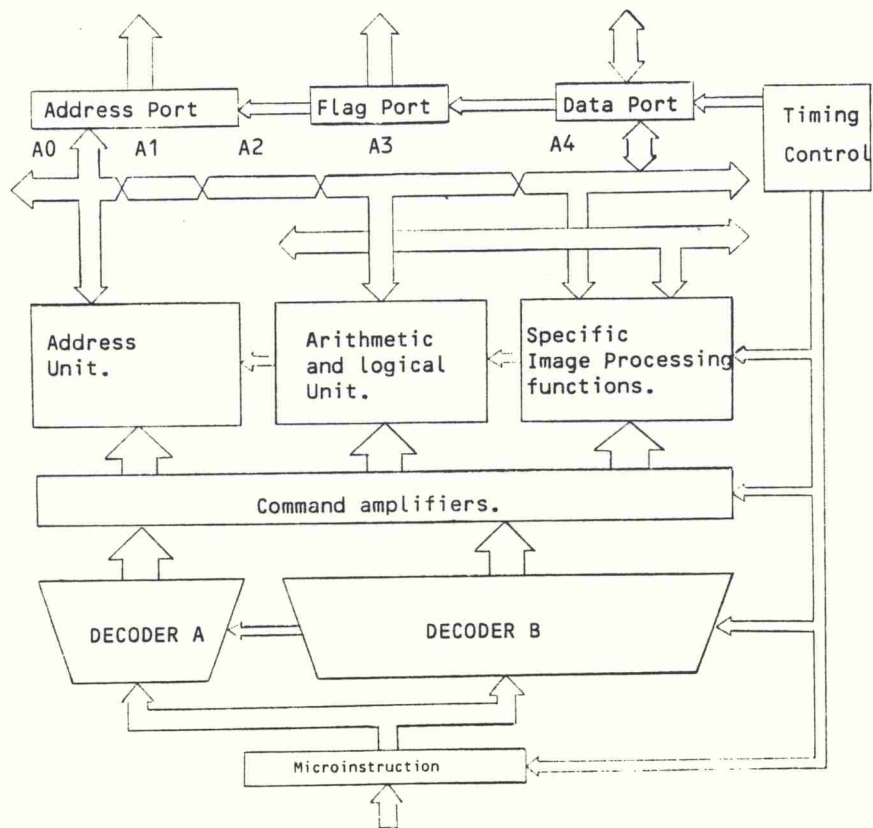


Figure 3.10-2

3.11. PROGRAMME D'AIDE A LA CONCEPTION

La conception et le dessin du circuit sont le fruit de l'utilisation de plusieurs programmes de CAO :

- + Aide à la conception des circuits. Trois niveaux de description existent : HLGL (High Level Graphic Language) qui "voit" le circuit comme un ensemble de boîtes paramétrisables (dimensions, connexions, . . .) et hiérarchisées, MLGL (Medium Level Graphic Language) qui donne une description hiérarchisée mais non paramétrisée des cellules, RLGL qui décrit les cellules sous forme de rectangles uniquement (Réf. 19).
- + Traitement de fichier RLGL. Ces programmes vérifient le bon respect des règles technologiques de conception (DRC : Design Rules Checking) et des recouvrements entre rectangles d'un même niveau (ROC : Rectangle Overlapping Checking) (Réf.19, 52).
- + Utilitaires RLGL. La visualisation et la manipulation des rectangles sont facilitées par l'emploi de programmes comme TEK (terminaux graphiques TEKTRONIX) et PLOT (table traçante).

CHAPITRE 4

DESCRIPTION DES CELLULES DE BASE.

Le nombre de cellules composant le circuit étant assez impressionnant (66 au niveau MLGL et 225 au niveau RLGL), la description sera limitée à quelques cellules de base :

- registre 1 bit,
- plot d'entrée / sortie tristate maître/esclave,
- additionneur / soustracteur 1 bit.

Rappelons que ces cellules ont été dessinées suivant les règles de layout de la technologie NMOS 6 microns (Réf. 38). Les simulations électriques ont été effectuées à l'aide du simulateur AMOS développé au Laboratoire (Réf. 39).

Les conventions de dessin sont reprises à la figure 4-1.



diffusion



implantation



contact direct



polysilicium



trou



aluminium



passivation

Conventions de dessin
Figure 4-1

4.1. REGISTRE STATIQUE 1 BIT

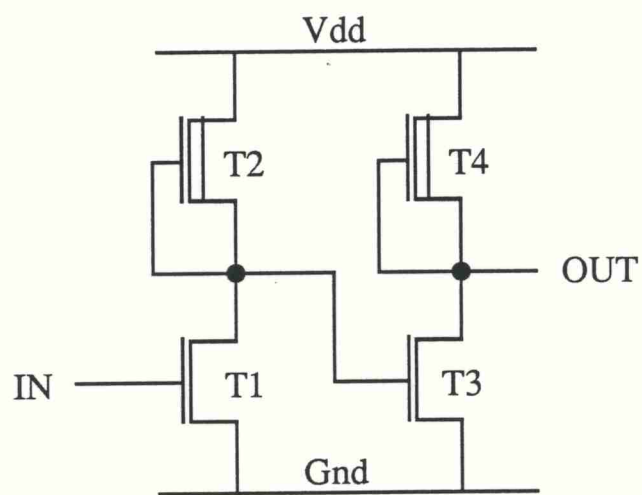
Le circuit IMP fait appel à un nombre élevé de registres ayant des caractéristiques diverses : lecture et/ou écriture sur un ou plusieurs bus, maître/esclave, registre d'entrée d'une ALU, ... Ces registres sont construits autour d'une cellule fondamentale composée de deux inverseurs (Fig. 4.1-1). En y associant les connexions nécessaires, on peut bâtir n'importe quel type de registre.

La figure 4.1-2 présente un registre avec rafraîchissement, relié en lecture/écriture à un bus unique. Les dimensions des transistors sont reprises à la figure 4.1-3. Le dimensionnement peu habituel du second inverseur s'explique par :

- la taille importante du transistor T3 due au travail de décharge du bus préchargé,
- la taille réduite du transistor T4. Ce dernier ne doit que compenser les courants de fuite sur la grille de T1 lors du rafraîchissement.

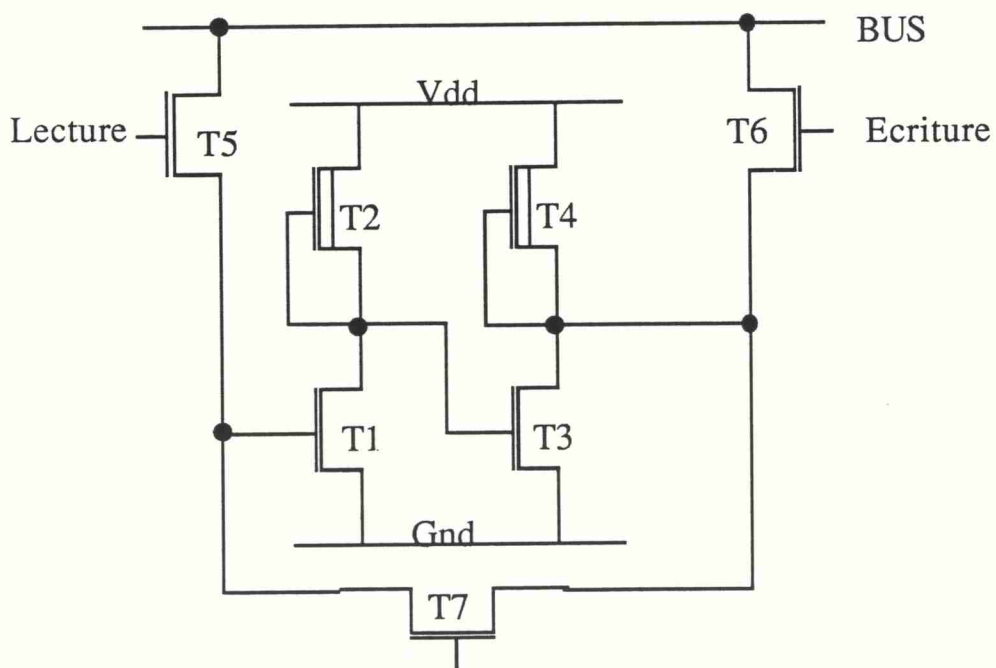
La figure 4.1-4 montre le résultat d'une simulation électrique effectuée avec AMOS sur le schéma électrique de la figure 4.1-5. Ce dernier consiste en l'écriture par un registre (dont T3 et T4 sont le second inverseur et T6 le transistor d'écriture) d'un zéro logique dans un second registre (dont T1 et T2 sont l'inverseur d'entrée et T5 le transistor d'écriture) via un bus d'une capacité de 2 pF préchargé à 3.5 Volts. Les résultats montrent qu'en moins de 0.1 μ sec le transfert de l'information est effectué.

Trois implantations de registres sont reprises aux figures 4.1-6 (registre bouclé), 4.1-7 (registre d'entrée de l'incrémenteur, bâti autour du précédent) et 4.1-8 (registre avec rafraîchissement, relié à un bus unique).



Registre
de base

Figure 4.1-1



Ti	W/Li
1	2
2	.25
3	8
4	.20
5	1
6	1
7	1

Rafraîchissement

Registre
avec
rafraîchissement

Fig. 4.1-2

Figure 4.1-3

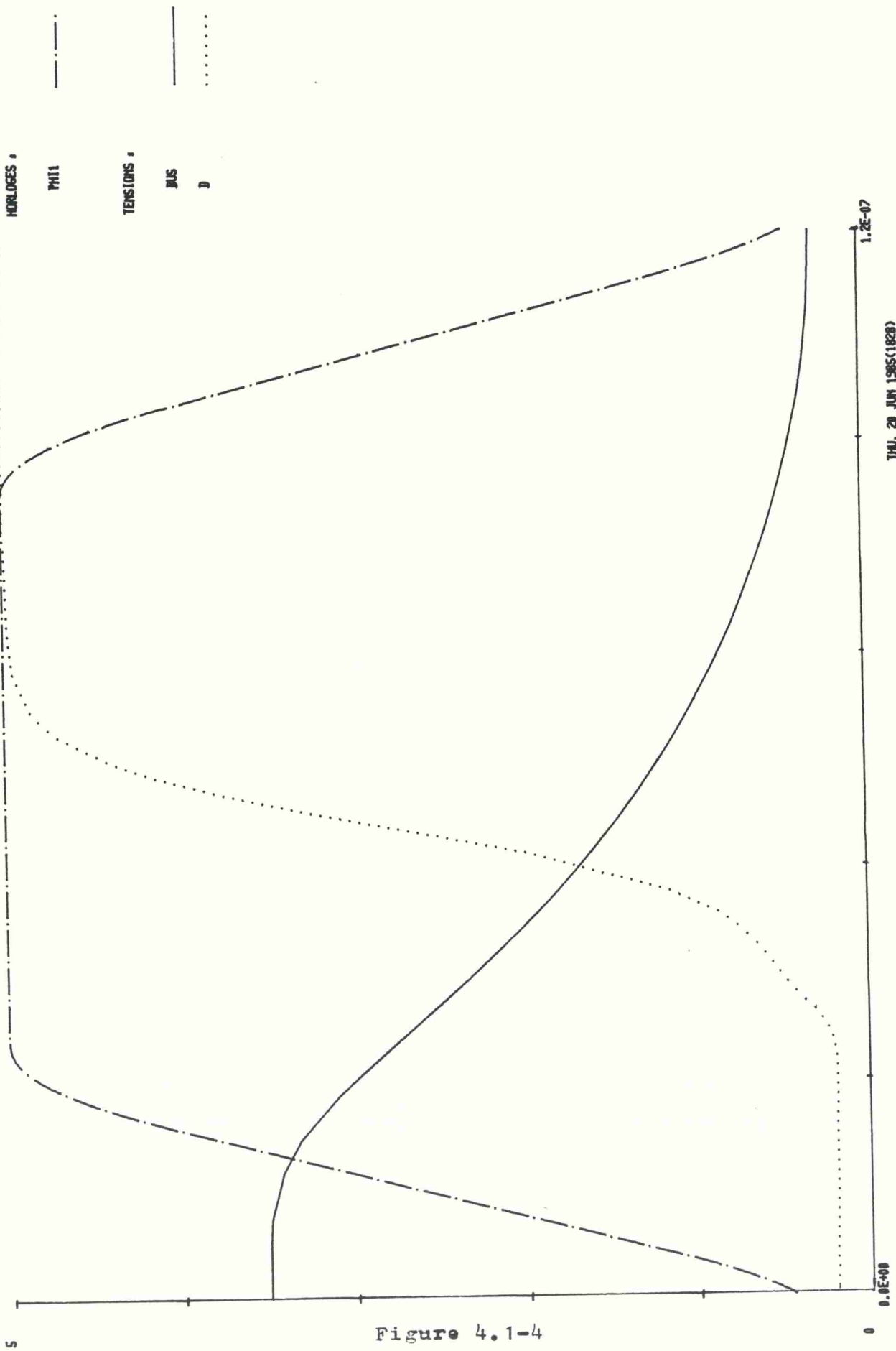


Figure 4.1-4

Lecture et ecriture sur un bus de 2pf

THU, 20 JUN 1985(1828)

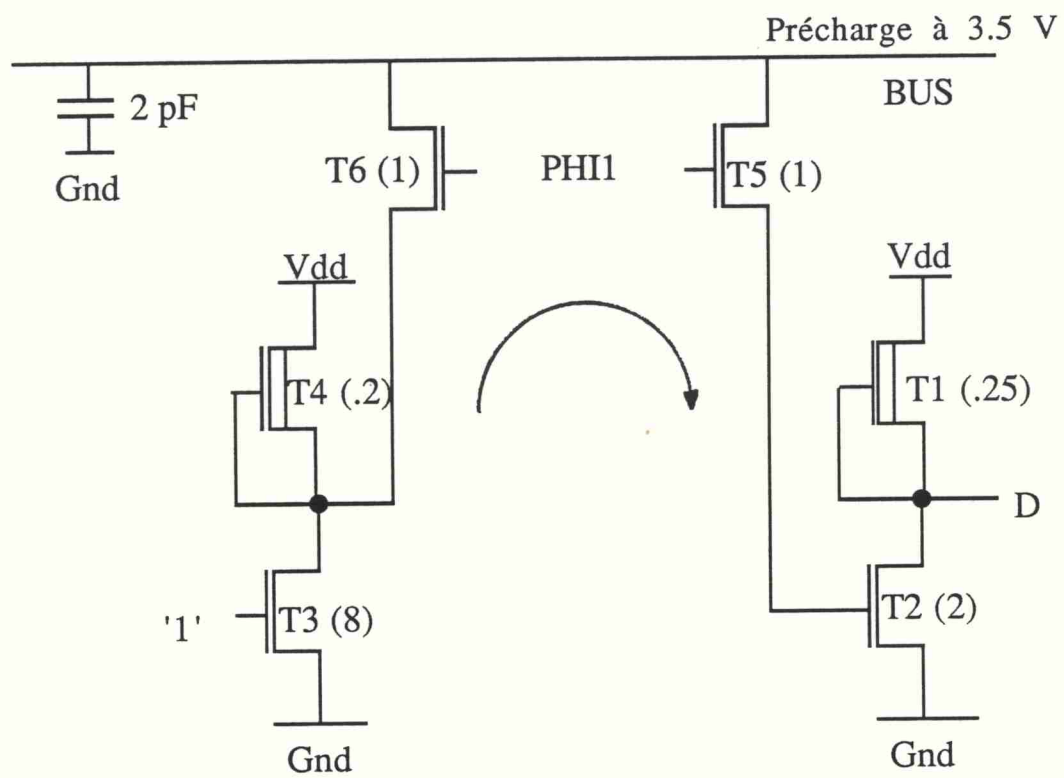


Figure 4.1-5

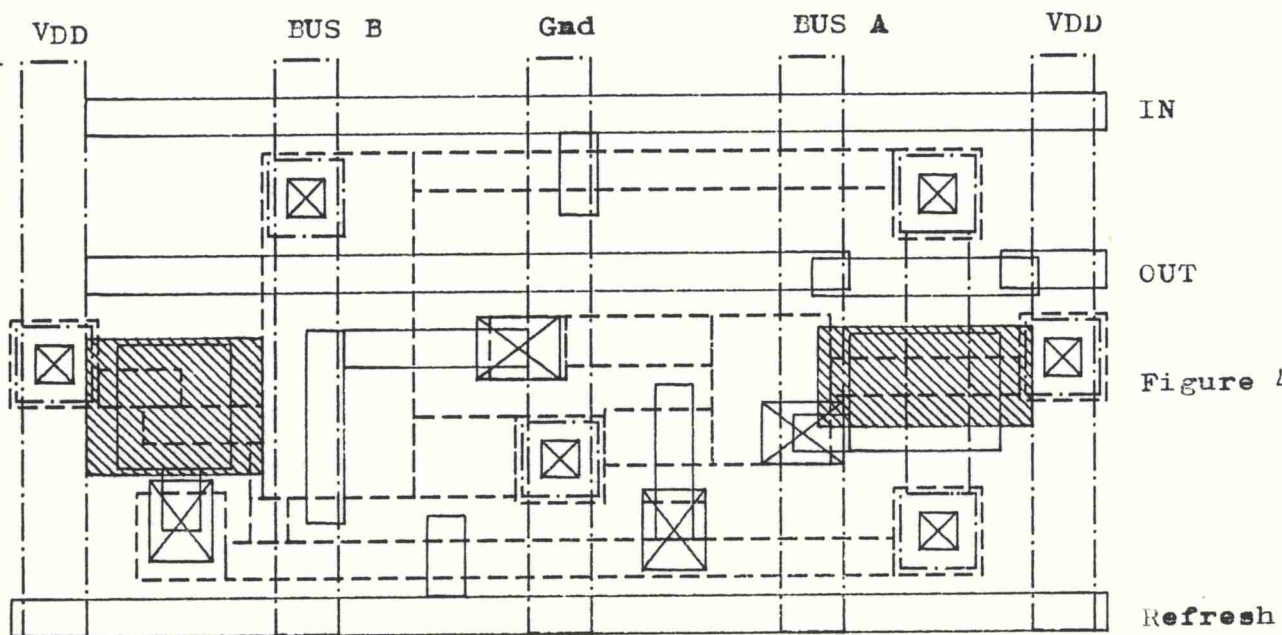


Figure 4.1-8

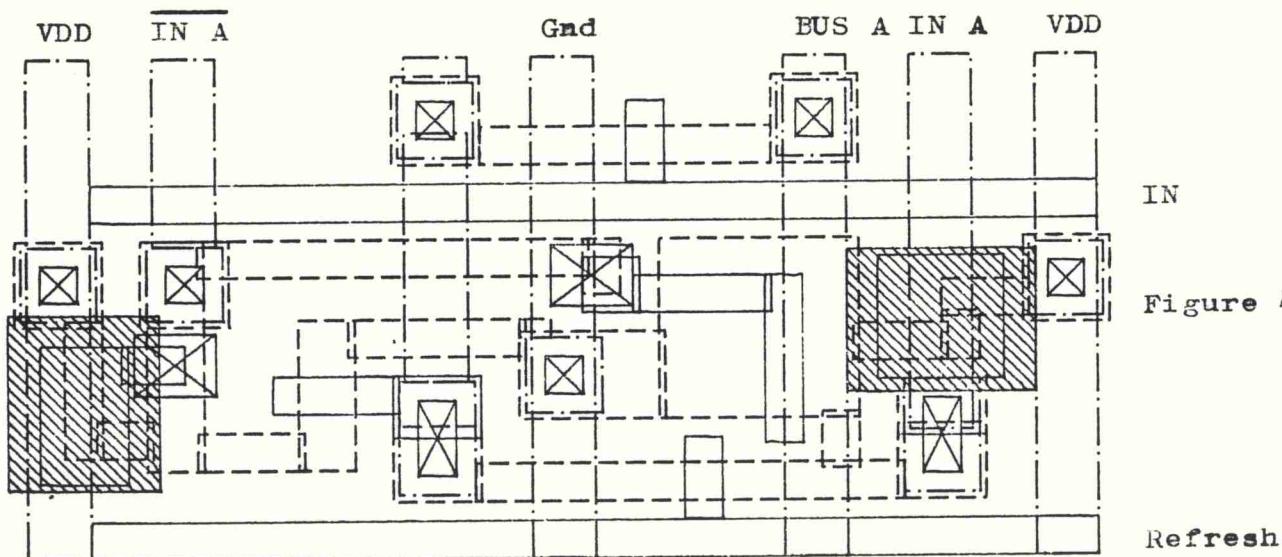


Figure 4.1-7

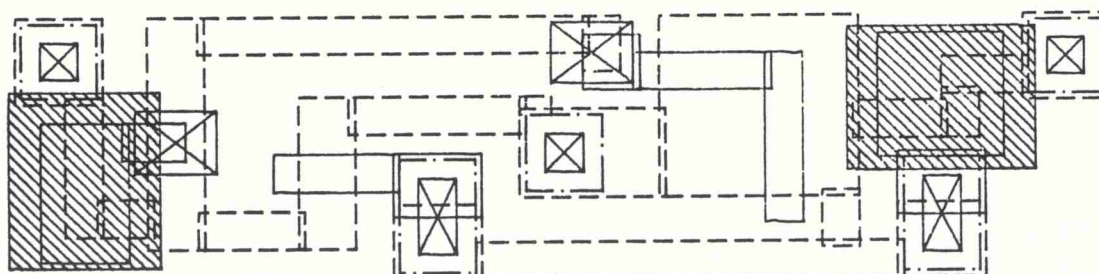


Figure 4.1-6

12 us. un./cm.
microns / cm

Registers.

4.2. PLOT D'ENTREE / SORTIE TRISTATE MAITRE / ESCLAVE

Notre circuit échangeant beaucoup d'informations avec le monde extérieur, il s'est avéré important de disposer d'un plot ayant les caractéristiques suivantes :

- bidirectionnel,
- registre maître / esclave,
- tristate,
- transistors de sortie capables de drainer un courant important supérieur à 6mA.

Un gain de place important a été obtenu en optant pour des plots bidirectionnels remplaçant deux plots simples : un d'entrée et un de sortie. L'emploi de ces plots dans un mode donné (entrée ou sortie) n'étant pas continu, on peut les utiliser dans l'autre mode le reste du temps, sans pour autant pénaliser les performances du circuit.

L'adjonction d'un registre interne maître / esclave supprime le registre externe souvent nécessaire à la mémorisation de l'information durant plusieurs cycles. Exemple : le balayage des pixels d'une ligne contenue en mémoire, l'adresse de cette ligne est conservée par les registres des plots d'adressage.

Le passage du plot du mode "sortie" à celui d' "entrée" doit s'accompagner d'une "coupure" des buffers de sortie du plot, afin de ne pas perturber ou même modifier la donnée d'entrée. La mise "hors-service" du buffer de sortie est assurée par la commande TRI-STATE.

De puissants buffers de sortie garantissent la correcte transmission de l'information vers le monde extérieur : sortie des informations à une fréquence de 2Mhz sur une charge supérieure à 100pF.

Toutes les commandes du plot d'entrée / sortie, à l'exception de transfert maître / esclave (C12), sont actionnées en phase avec C11.

La figure 4.2-1 montre la structure logique du plot.

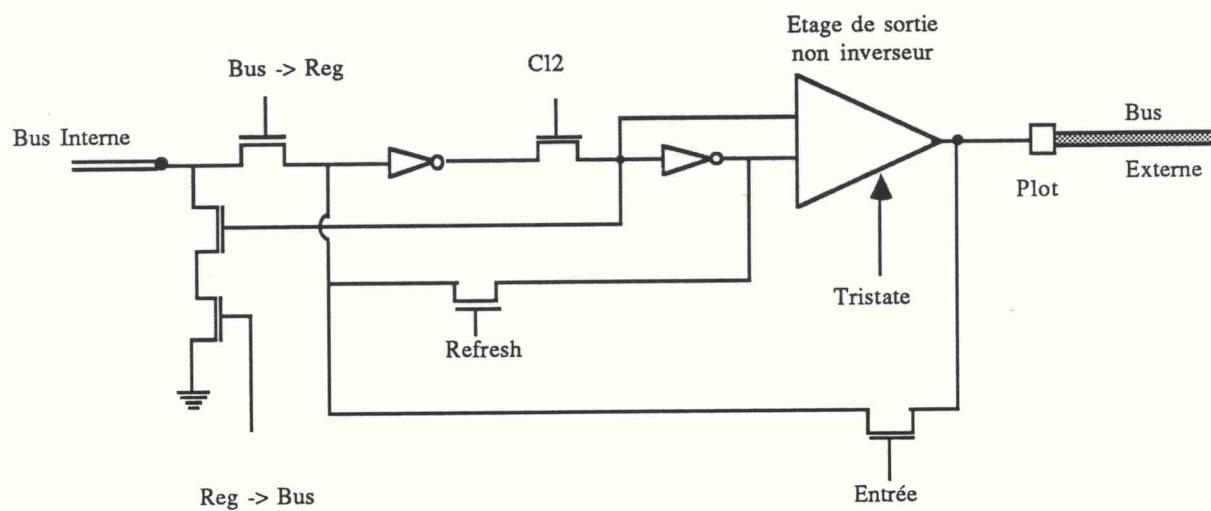


FIGURE 4.2 - 1

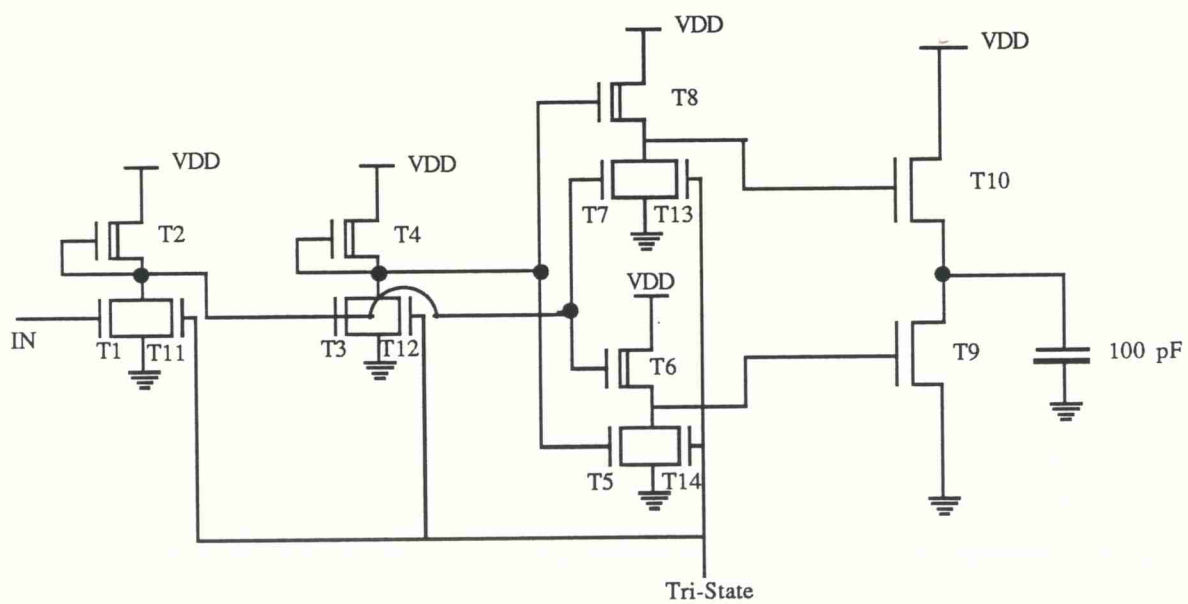


FIGURE 4.2 - 2

Cette structure particulière :

- permet de consulter une donnée contenue dans le registre interne et d'en lire une autre en même temps (sur CI1). Le transfert de cette nouvelle donnée sera effectué sur CI2.

sur CI1 REG --> BUS = '1'
ENTREE = '1'

- nécessite deux cycles pour le transfert d'informations d'un bus à l'autre (interne et externe)

sur CI1 Bus1 --> registre interne
sur CI2 maître --> esclave
sur CI1 esclave --> Bus 2.

La figure 4.2-2 montre le schéma électrique de l'étage de sortie de type "push-pull". Chacun des transistors de sortie est commandé par un superbuffer non inverseur dont les dimensions des principaux transistors sont reprises dans la figure 4.2-3. Le résultat de la simulation électrique de l'étage de sortie sur une charge capacitive de 100 pF est présenté à la figure 4.2-4. La montée demande environ 200 nanosec pour moins de 50 nanosec pour la descente.

Ti	1	2	3	4	5	6	7	8	9	10
W/L	4 / 1	1 / 1	4 / 1	1 / 1	16 / 1	4 / 1	16 / 1	4 / 1	128 / 1	128 / 1

Figure 4.2-3.

Les dimensions totales du plot sont 250µm par 455 µm (Fig. 4.2-5). La zone de contact est de 100*100 µm² (découpe dans l'oxyde de passivation au-dessus de l'aluminium).

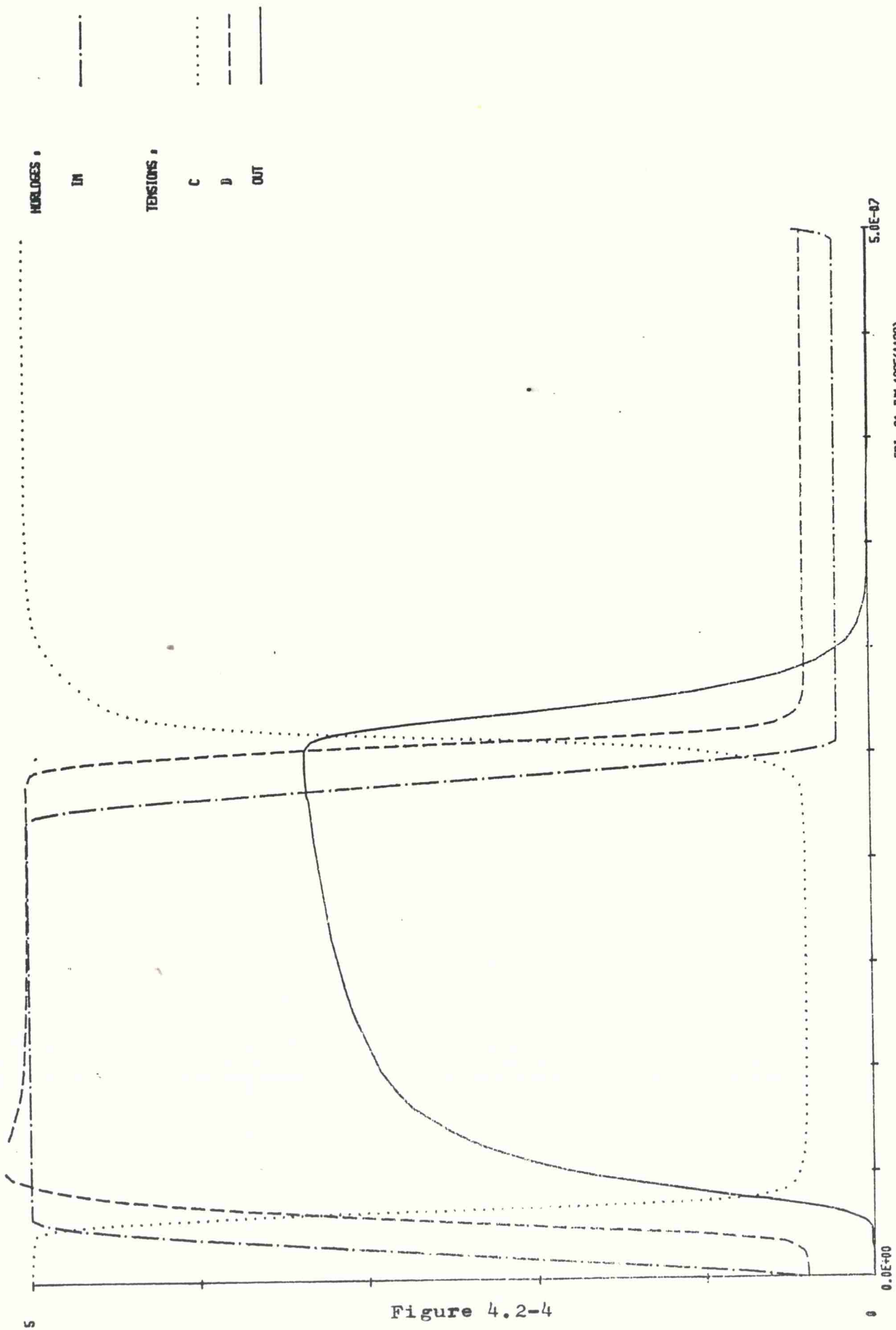
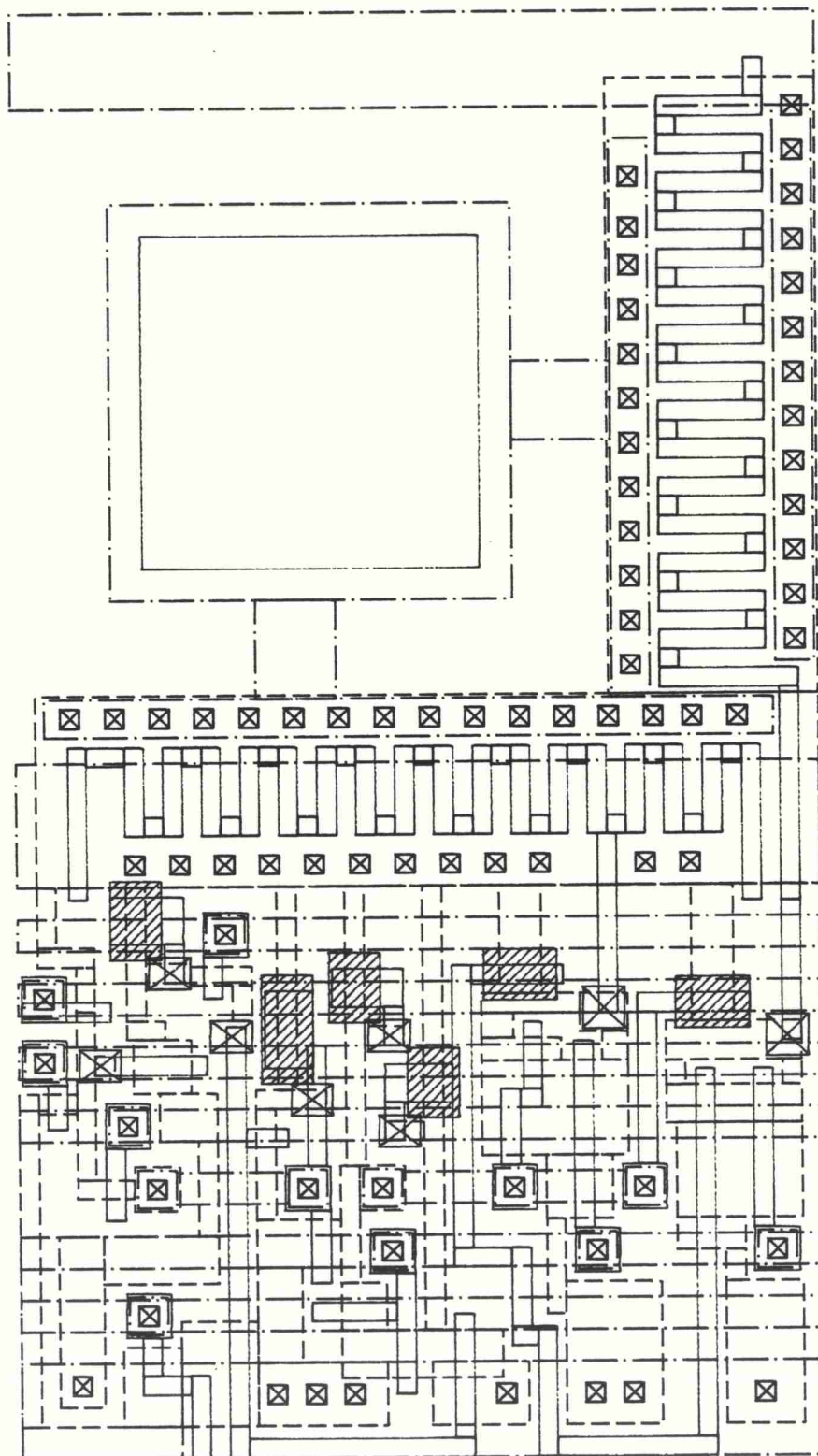


Figure 4.2-4

FRI, 21 JUN 1985(1128)

Sortie sur une capacite de 100pf.



21.76 us.un./cm.
microns/cm.

□ 08 + □ 01 + □ 05 + ⊠ 04 + ▨ 03 + ⊠ 06 + □ 09

Figure 4.2-5

4.3. L'ADDITIONNEUR / SOUSTRACTEUR

Nous nous limitons dans cette présentation au fonctionnement logique de l'additionneur / soustracteur.

La base de cet additionneur / soustracteur est une structure présente dans la bibliothèque de cellules (Réf. 35).

Cette structure utilise dans sa conception les principes de la logique à transistors de passage. Celle-ci permet de réduire, pour une fonction donnée, le nombre de transistors par rapport à une réalisation classique (logique statique), mais aux prix de certaines contraintes (précharge, dynamique de travail plus faible, ...).

Les équations logiques d'une addition de deux nombres A et B en complément à 2 sont :

- le résultat $C_i = A_i \text{ OX } B_i \text{ OX } R_i$
- le report entrant R_i
- le report sortant $R_{i+1} = A_i . B_i + (A_i \text{ OX } B_i) . R_i$ (Fig. 4.3-1a).

Avec OX le "OU EXCLUSIF" entre deux bits.

La soustraction est obtenue par la relation bien connue en arithmétique complément à deux:

$$A - B = A + \overline{B} + 1 \quad \text{avec } \overline{B} \text{ le complément bit à bit de } B.$$

La soustraction se résume à une addition accompagnée d'un report positif à la première cellule (LSB) (Fig. 4.3-1b).

En se définissant deux valeurs logiques intermédiaires P_i et G_i , les relations d'addition s'écrivent :

$$\begin{aligned} P_i &= A_i \text{ OX } B_i \\ G_i &= \overline{A_i} . \overline{B_i} \\ \overline{C_i} &= P_i \text{ OX } R_i \\ R_{i+1} &= \overline{(G_i + P_i . R_i)} \end{aligned}$$

La traduction de ces équations en transistors est donnée à la figure 4.3-2.

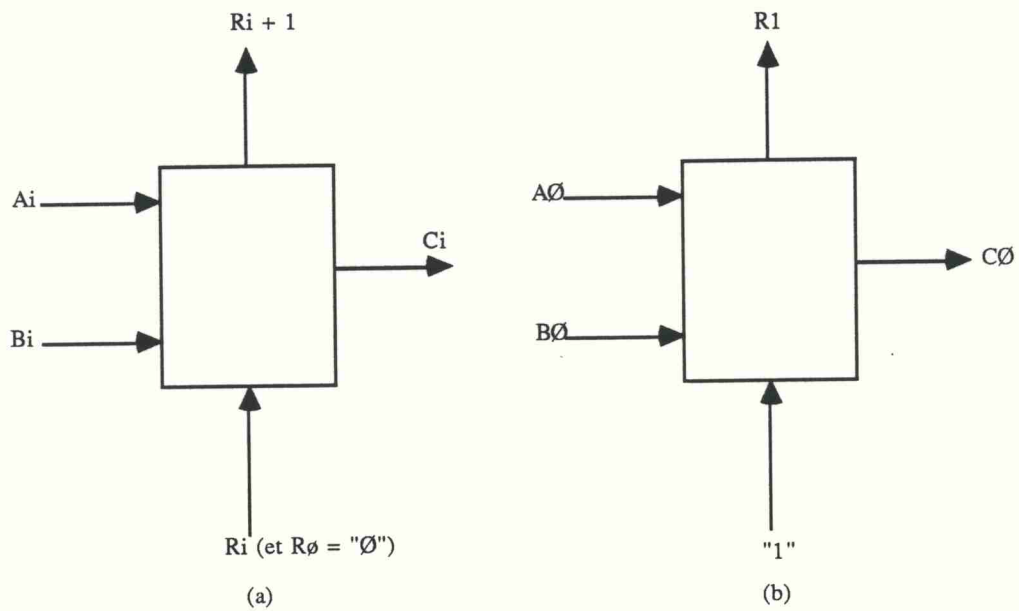


FIGURE 4.3 - 1

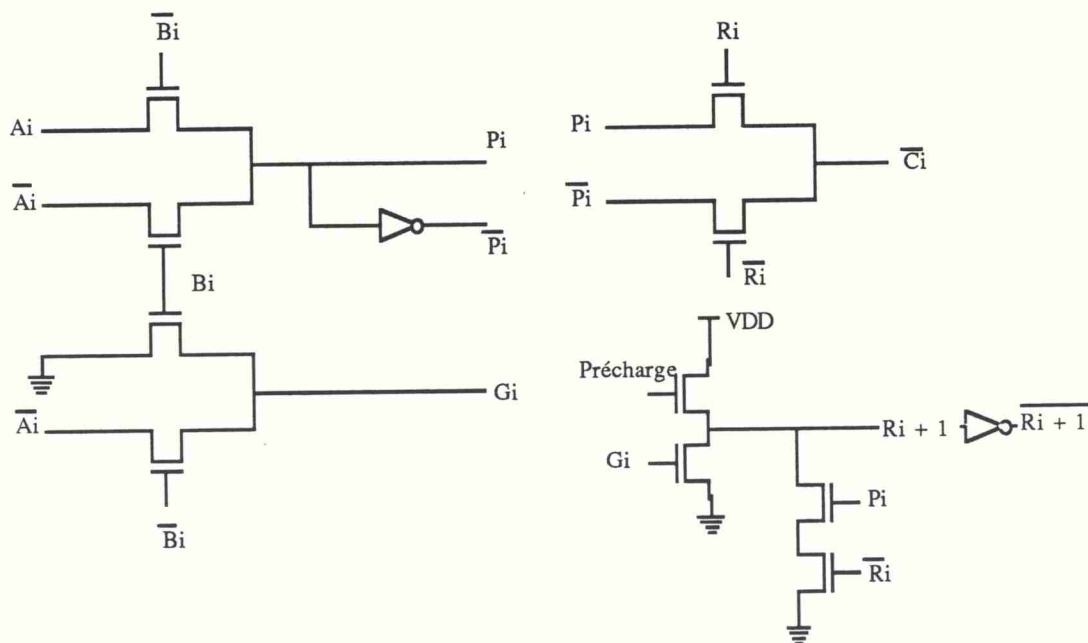


FIGURE 4.3 - 2

Le schéma complet, repris à la figure 4.3-3, comprend :

- les transistors de passage reliant les entrées de l'additionneur aux bus (1),
- les registres d'entrées de l'additionneur (2),
- les signaux de synchronisation $CI1$ et $CI1$ qui empêchent le déchargement intempestif de la sortie $Ri + 1$ avant l'établissement des valeurs d'entrée (3) : protection de la précharge,
- le stockage du résultat $Ci + 1$ durant le cycle $CI2$ (4),
- l'écriture du résultat sur les bus A et B (5).

Il est à noter que la régénération du report est effectuée dans chaque cellule. Le délai de propagation est identique pour chacune des cellules de l'additionneur. Le choix de cette régénération limite les performances temporelles (délai d'un inverseur), mais simplifie la conception, vu qu'il n'existe qu'un seul type de cellule.

La figure 4.3-4 donne le résultat de la propagation du report sur deux cellules, dans le cas le plus défavorable (déchargement dû au report entrant et non aux entrées de données), représenté à la figure 4.3-5. Cette simulation a été effectuée en employant des paramètres technologiques non-optimaux recueillis sur des circuits de test : WSC (Worst Case Consuption), WCS (Worst Case Speed) et AVG (AVerAGe). On constate que la durée entre deux reports successifs est d'environ 25 nanosec, soit moins de 250 nanosec pour une addition 8 bits complète. On respecte donc bien les spécifications, à savoir une fréquence maximale de 4 MHz.

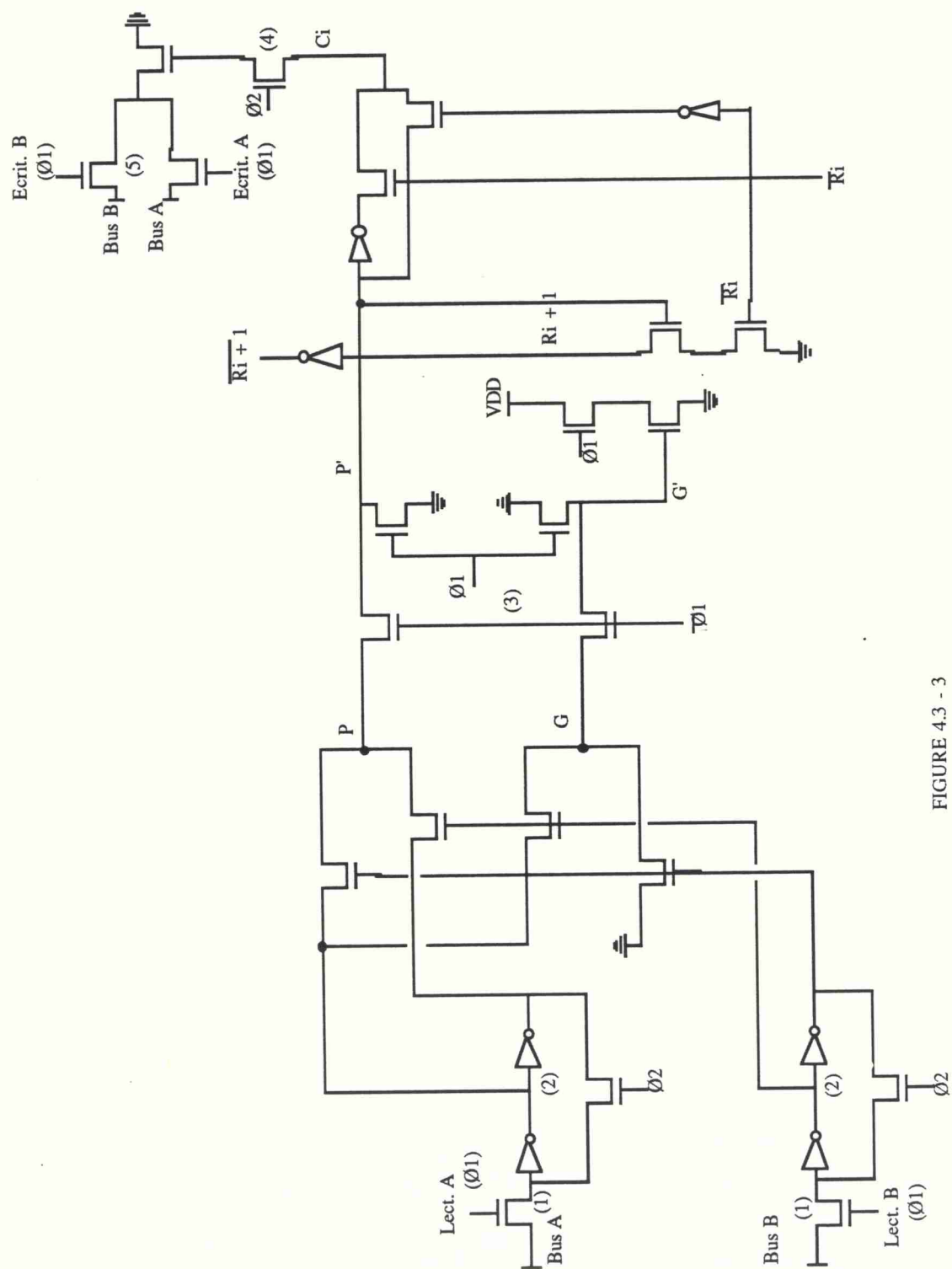
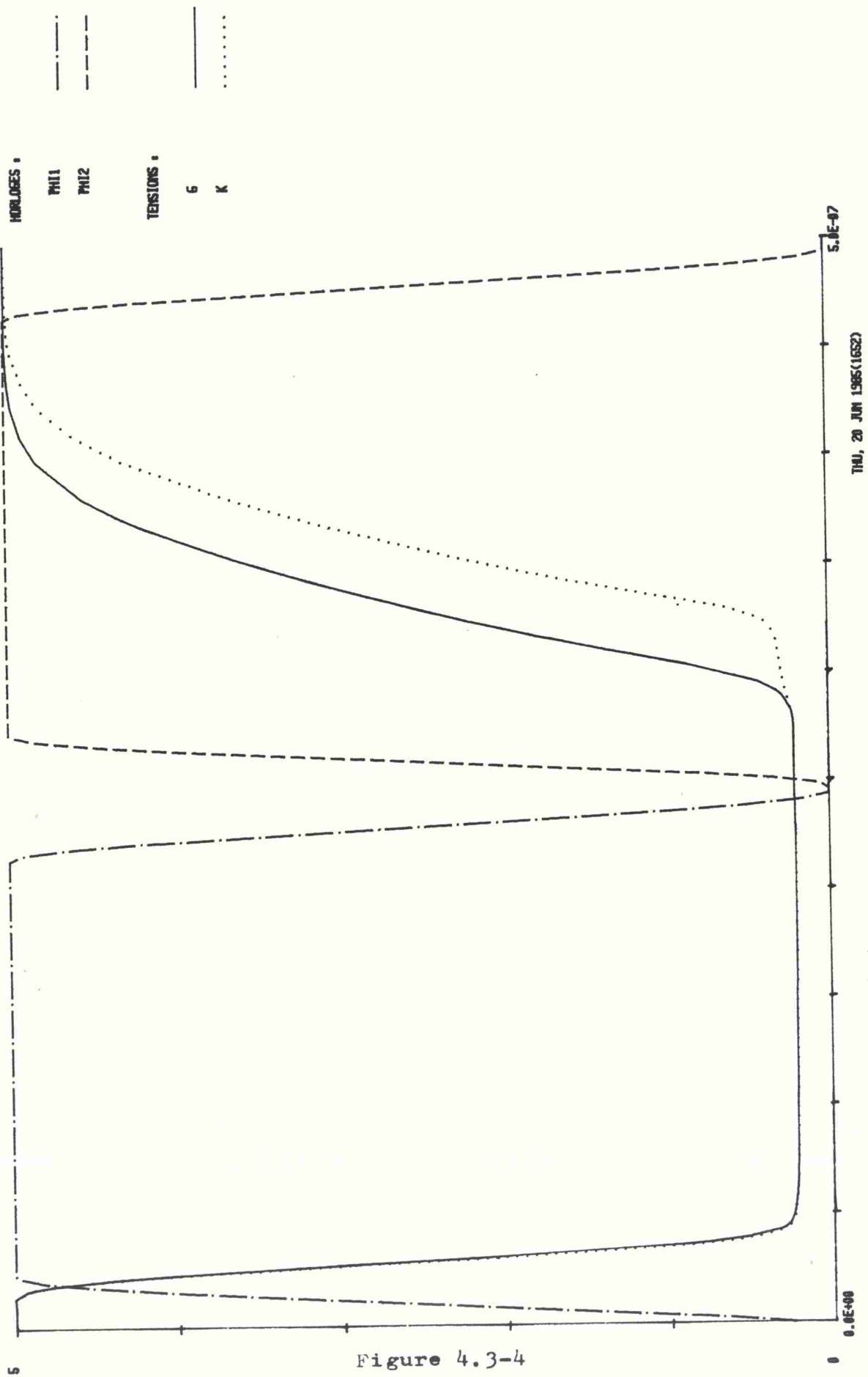


FIGURE 4.3 - 3



Propagation du report dans l'additionneur.

AMOS

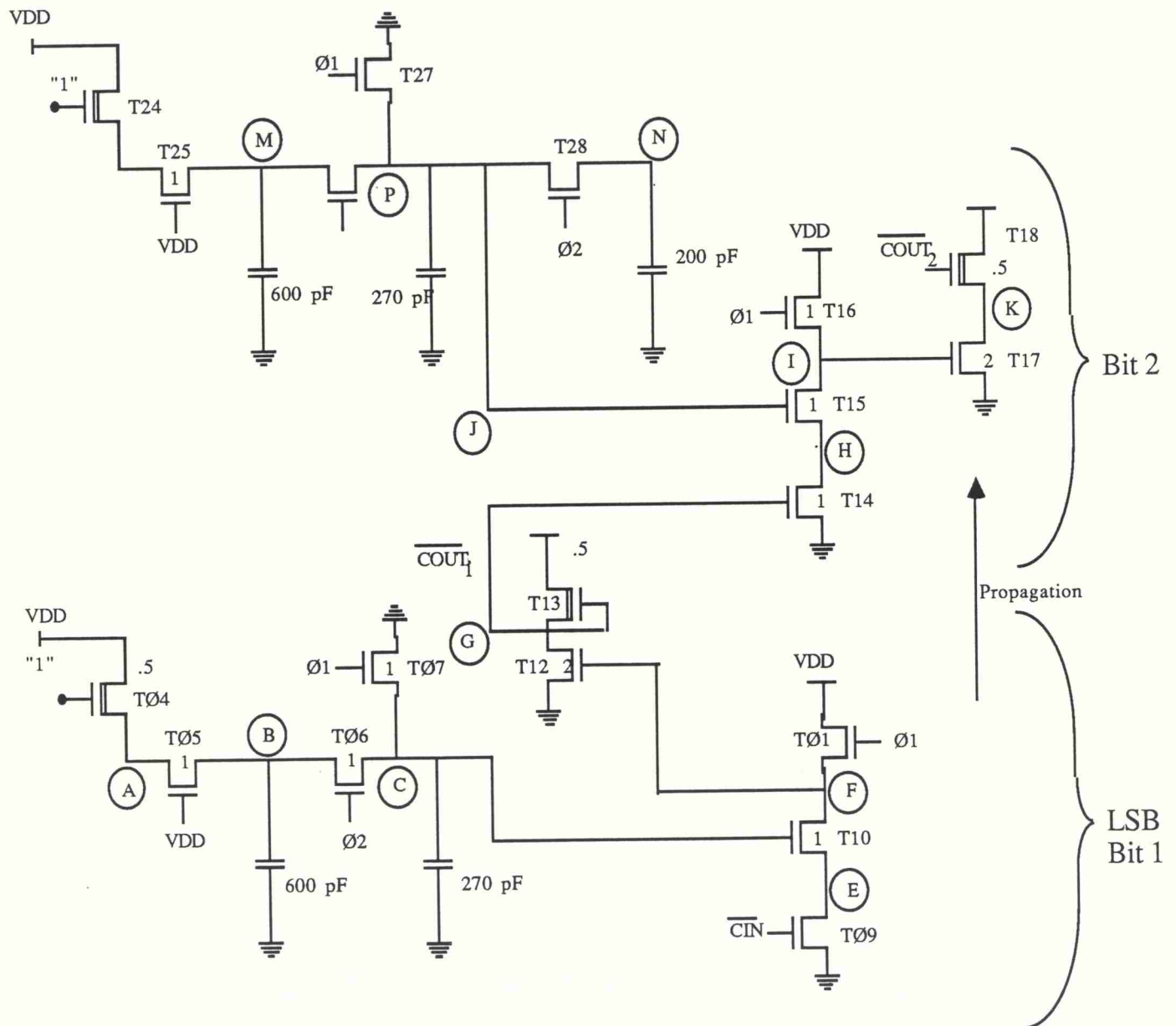


FIGURE 4.3 - 5

CHAPITRE 5

LE TEST DU CIRCUIT.

5.1. INTRODUCTION

La phase de test est une étape très importante dans la conception d'un circuit intégré, car elle infirme ou confirme les prévisions (vitesses, . . .) faites lors du design (Réf. 40).

Le test est effectué en quatre étapes :

- le test des paramètres technologiques,
- le test des paramètres statiques,
- le test des paramètres dynamiques,
- les tests logiques (ou fonctionnels).

Le test des paramètres technologiques est effectué automatiquement par la station de mesure du Laboratoire. Cette station est composée d'un testeur sous pointes, d'un micro-ordinateur HP et de plusieurs appareils de mesure (analyseur logique, voltmètre, . . .).

Le test permet de déterminer la valeur de paramètres technologiques comme les tensions de seuil des transistors, les capacités et les résistances (alu, . . .). Le bon résultat de ce test valide le processus de fabrication du circuit intégré.

Le test des paramètres statiques détermine la consommation statique du circuit, les valeurs des tensions et des courants d'entrée et de sortie, . . .

Le test des paramètres dynamiques permet d'estimer les temps de descente et de montée des signaux de sortie, et par conséquent la fréquence maximale de fonctionnement.

Le test logique a pour but de vérifier le bon fonctionnement des diverses parties du circuit intégré. Pour un circuit d'une certaine complexité, il n'est pas concevable de l'appliquer manuellement. Le système de test logique, développé au Laboratoire, a été utilisé (Réf. 41, 19).

5.2. LE SYSTEME DE TEST LOGIQUE

5.2.1. Description

Le système de test logique est basé sur la génération de vecteurs de test (Fig. 5.2.1-1). Ces derniers sont injectés au circuit et les sorties de celui-ci échantillonnées et comparées à des vecteurs dits "idéaux". Ce test est effectué pour des fréquences différentes afin de déterminer la fréquence maximale de fonctionnement.

Le système de génération des vecteurs de test permet d'ignorer certaines valeurs des vecteurs de sortie ou d'entrée (masques), et / ou d'utiliser des signaux bidirectionnels (Exemple : pour les plots d'entrée / sortie).

Chaque ligne de test comprend donc cinq vecteurs :

- un vecteur d'entrée,
- son vecteur de masques,
- un vecteur de sortie,
- son vecteur de masques,
- un vecteur idéal de sortie.

Signalons encore que, pour des raisons de limitation de la capacité-mémoire de l'analyseur logique, le test est effectué par paquets de 64 vecteurs de test. Ceci nécessite un stockage des valeurs dynamiques du circuit dans ses registres internes avant le dernier des 64 vecteurs, et la restauration de ces valeurs au début du paquet suivant de vecteurs.

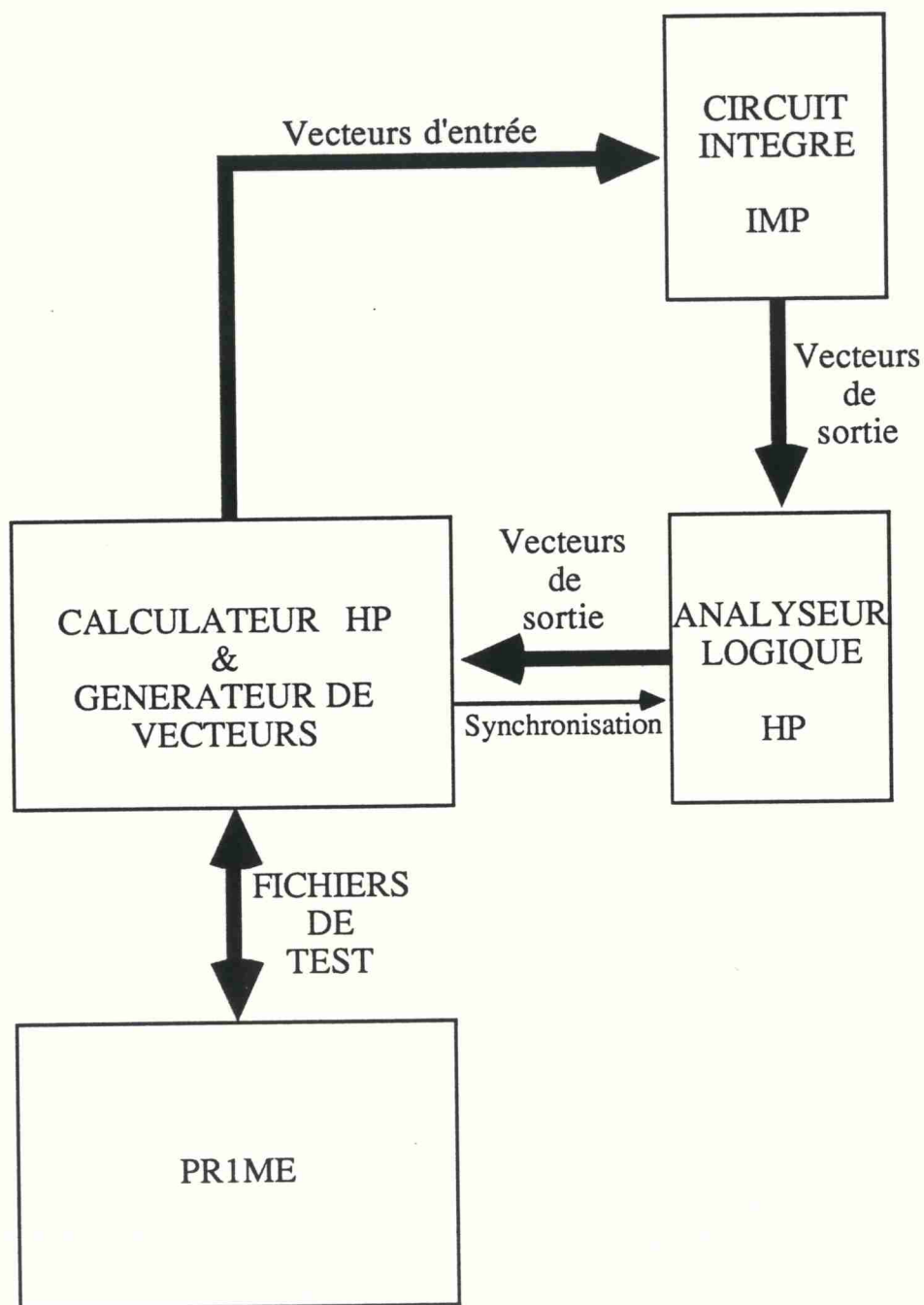


Figure 5.2.1-1

5.2.2. Génération des vecteurs de test

La génération des vecteurs de test repose sur un programme PL/1 de plusieurs centaines de lignes, exécuté sur PR1ME. Ce programme est une description RTL (Register Transfert Logic) du circuit intégré. Il simule toutes les fonctions logiques du circuit et, à partir d'un fichier d'entrée composé de microinstructions, en génère un autre contenant les vecteurs d'entrée, de masque et de sortie idéaux. Ce fichier de sortie est ensuite transféré du PR1ME vers le calculateur HP. Ce dernier envoie les vecteurs d'entrée (éventuellement partiellement masqués) au circuit, récupère les vecteurs de sortie via l'analyseur logique, et les compare aux vecteurs idéaux de sortie. Toute erreur détectée est signalée : le numéro du vecteur fautif est donné, ainsi que les valeurs des vecteurs d'entrée, de sorties idéale et réelle.

Les figures 5.2.2-1, 2 et 3 présentent un exemple de routine RTL écrite en PL / 1 (l'additionneur / soustracteur), un fichier d'entrée du programme de description RTL (test du port d'adressage ADDH) et le fichier de sortie correspondant.


```

/*****+*****
/**
/**      ADDITIONNEUR/SOUSTRACTEUR 8 BITS
/**
/**
/**      MAI 84
/**
/**
/*****+*****
ADD : PROC(A3, B, INA_A3, INB_B, INA_O, INB_O, BB_INB, BB_INBB, CINB, COUTB, DIV2B, DIV2,
/* DECLARATIONS */
    DCL ( A3, B ) BIT(8);
    DCL ( INA, INB, IB, OUT ) BIT(8) STATIC;
    DCL ( INA_A3, INB_B, INA_O, INB_O, BB_INB, BB_INBB, CINB, COUTB ) BIT(1);
    DCL ( DIV2, DIV2B, BUSA_OUT, BUSB_OUT, PH1, PH2 ) BIT(1);
    DCL ( OUTT ) FIXED BIN(15) STATIC;
    DCL ( REPORT ) BIT(1) STATIC;
/* CALCUL SUR PH2 DE L'ALU */
IF PH2 THEN DO;
    REPORT=~CINB;
    IF REPORT THEN OUTT=INA+INB+1; /* SOUSTRACTION */
    ELSE OUTT=INA+IB; /* ADDITION */
    IF ((DIV2 : DIV2B) & ((REPORT) & (IB > INA))) THEN COUTB='0'B;
    ELSE COUTB='1'B;

    /* ECRITURE DU RESULTAT */
    IF DIV2 THEN OUT=SUBSTR(BIT(OUTT, 15), 7, 8);
    IF DIV2B THEN OUT=SUBSTR(BIT(OUTT, 15), 8, 8);
    RETURN;
END;

/* SORTIE DES RESULTATS : SUR PH1 */
IF BUSA_OUT THEN A3=OUT;
IF BUSB_OUT THEN B =OUT;
/* ENTREE DE NOUVELLES DONNEES DANS L'ALU */
IF INA_A3 THEN INA=A3;
IF INB_B THEN IB=B;
IF INA_O THEN INA='00000000'B;
IF INB_O THEN IB='00000000'B;
IF BB_INBB THEN INB=~IB;
/* VERIFICATIONS */
IF DIV2B & DIV2 & PH1 THEN DO;
    PUT LIST('ERREUR DANS DIV2 : ALU');
    PUT SKIP;
    END;

IF BB_INB & BB_INBB & PH1 THEN DO;
    PUT LIST('CONFLIT +/- DANS L''ADD');
    PUT SKIP;
    END;

RETURN;
END ADD;

```

Figure 5.2.2-1

*
*
*
*
*
*

T. ADDH

* MISE A ZERO DU PLOT DE SORTIE ADDH

- 1 : OUT1=0
- 2 : ADDH=OUT1

* INCREMENTATION DE ADDH

- 3 : ADDH=OUT1+
- 4 : ADDH=OUT1+
- 5 : ADDH=OUT1+
- 6 : ADDH=OUT1+
- 7 : ADDH=OUT1+
- 8 : ADDH=OUT1+
- 9 : ADDH=OUT1+
- 10 : ADDH=OUT1+
- 11 : ADDH=OUT1+
- 12 : ADDH=OUT1+
- 13 : ADDH=OUT1+
- 14 : ADDH=OUT1+
- 15 : ADDH=OUT1+
- 16 : ADDH=OUT1+
- 17 : ADDH=OUT1+
- 18 : ADDH=OUT1+
- 19 : ADDH=OUT1+
- 20 : ADDH=OUT1+
- 21 : ADDH=OUT1+
- 22 : ADDH=OUT1+
- 23 : ADDH=OUT1+
- 24 : ADDH=OUT1+
- 25 : ADDH=OUT1+
- 26 : ADDH=OUT1+
- 27 : ADDH=OUT1+
- 28 : ADDH=OUT1+
- 29 : ADDH=OUT1+
- 30 : ADDH=OUT1+
- 31 : ADDH=OUT1+
- 32 : ADDH=OUT1+
- 33 : ADDH=OUT1+
- 34 : ADDH=OUT1+
- 35 : ADDH=OUT1+
- 36 : ADDH=OUT1+
- 37 : ADDH=OUT1+
- 38 : ADDH=OUT1+
- 39 : ADDH=OUT1+
- 40 : ADDH=OUT1+
- 41 : ADDH=OUT1+
- 42 : ADDH=OUT1+
- 43 : ADDH=OUT1+
- 44 : ADDH=OUT1+
- 45 : ADDH=OUT1+
- 46 : ADDH=OUT1+
- 47 : ADDH=OUT1+
- 48 : ADDH=OUT1+
- 49 : ADDH=OUT1+
- 50 : ADDH=OUT1+
- 51 : ADDH=OUT1+
- 52 : ADDH=OUT1+

ENTREE

SORTIE IDEALE

ADDH ADDL DATA X1 X2 OUT

1	ADDH=00	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
2	ADDH=00	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
3	ADDH=00	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
4	ADDH=00	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
5	ADDH=01	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
6	ADDH=01	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
7	ADDH=02	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
8	ADDH=03	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
9	ADDH=04	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
10	ADDH=05	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
11	ADDH=06	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
12	ADDH=07	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
13	ADDH=08	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
14	ADDH=09	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
15	ADDH=0A	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
16	ADDH=0B	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
17	ADDH=0C	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
18	ADDH=0D	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
19	ADDH=0E	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
20	ADDH=0F	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
21	ADDH=10	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
22	ADDH=11	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
23	ADDH=12	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
24	ADDH=13	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
25	ADDH=14	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
26	ADDH=15	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
27	ADDH=16	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
28	ADDH=17	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
29	ADDH=18	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
30	ADDH=19	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
31	ADDH=1A	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
32	ADDH=1B	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
33	ADDH=1C	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
34	ADDH=1D	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
35	ADDH=1E	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
36	ADDH=1F	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
37	ADDH=20	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
38	ADDH=21	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
39	ADDH=22	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
40	ADDH=23	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
41	ADDH=24	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
42	ADDH=25	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
43	ADDH=26	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
44	ADDH=27	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
45	ADDH=28	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
46	ADDH=29	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
47	ADDH=2A	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
48	ADDH=2B	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
49	ADDH=2C	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
50	ADDH=2D	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
51	ADDH=2E	AL=xx	D=xx	ES=xx	FL=xx	UB=xx
52	ADDH=2F	AL=xx	D=xx	ES=xx	FL=xx	UB=xx

Figure 5.2.2-3

5.2.3. Résultats

L'application de cette procédure de test :

- a permis de déceler et de localiser deux erreurs dans le premier "process" du circuit :
 - + mauvaise traduction de deux microinstructions par le décodeur A,
 - + collage à la masse d'un des plots d'entrée du même décodeur A (accès à la moitié seulement des microinstructions de ce champ).
- a validé le bon fonctionnement du circuit issu du second "process" pour des fréquences allant au-delà de 1MHz. Cette limitation de en fréquence est essentiellement due à des problèmes technologiques lors de la fabrication des tranches : mauvaises tensions de seuil ($V_{td} : -2 \dots -5V$), ...

CHAPITRE 6

PROGRAMMATION INTERNE DU CIRCUIT INTEGRE.

6.1. INTRODUCTION

Une des particularités de ce circuit est de pouvoir être programmé lors de la phase d'intégration (au niveau diffusion) suivant l'utilisation visée : transformation binaire (IMP) ou reconnaissance des caractères (STAN).

Ce chapitre présentera les programmations retenues.

6.2. LA DILATATION LINEAIRE

Pour tous les algorithmes développés, une dilatation linéaire des pixels, avant transformation binaire, se révèle indispensable. La fonction demandée est (voir chapitre A.3) :

$$A * B / (2^n - 1) = C$$

La limitation de la programmation est le nombre de minterms disponibles (80) dans le PLA du circuit intégré. Avec l'aide de programmes d'optimisation (Réf. 42, 43, 44), une fonction de dilatation, basée sur des entrées décrites sur 4 bits, a été implémentée dans le PLA :

entrées : A et B sur 4 bits chacun,
sortie : C sur 6 bits.

Rappelons que les performances du Système de Transformations Binaires, données dans la première partie du présent ouvrage, ont été obtenues en tenant compte de la dilatation linéaire définie ci-dessus.

6.3. PROGRAMMATION POUR LA TRANSFORMATION EN DEMI-TEINTES

Pour des applications uniquement dirigées vers la transformation en demi-teintes, une fonction générant les seuils de comparaison de la cellule unitaire et tenant compte de la dilatation à effectuer, a été étudiée.

Pour rappel, l'algorithme de transformation en pseudo-gris est :

$$(X_{i,j} - \text{MOYB}) > ? C_{m,n} * (\text{MOYN} - \text{MOYB}) / (2^n - 1)$$

Avec $X_{i,j}$ le pixel traité,

MOYB et MOYN les valeurs inférieure et supérieure de la dynamique utilisée,

$C_{m,n}$ le coefficient de la cellule unitaire correspondant à $X_{i,j}$ dans la tessellation choisie.

La fonction à implanter est :

$$F = C_{m,n} * \text{DYN} / (2^n - 1)$$

Avec $\text{DYN} = (\text{MOYN} - \text{MOYB})$

Vu le nombre de minterms disponibles (80), la fonction est décrite avec
en entrée : - m et n sur 2 bits chacun (16 niveaux de gris),

- DYN sur 4 bits,

en sortie : - F sur 6 bits.

6.4. CONCLUSIONS

Les résultats présentés dans la première partie (Algorithmes) ont été obtenus en simulant le fonctionnement du circuit réel, c'est-à-dire fonctionnant suivant les programmations définies en 6.2 et 6.3, limitant à 4 le nombre de bits de description des pixels et à 16 le nombre de pseudo-niveaux de gris.

Rappelons brièvement les principaux résultats :

- un taux de reconnaissance des caractères de 99.6% (A.4.5.3) ;
- 16 niveaux de pseudo-gris (A.5) ;
- une différenciation Bin / Psg / Fond efficace (A.6.12) ;
- un débit élevé de traitement (pour le circuit à 4 MHz) :
 - + binarisation Laplacien fenêtre 3*3 : 148 kpixels / s.
 - + transformation en pseudo-gris : 666 kpixels / s.

Pour un document A4 (200mm * 300mm) contenant 3840000 pixels (8 pixels / mm), une binarisation (Laplacien) demande 26 secondes.

CHAPITRE 7

LA CARTE GIAN.

7.1. INTRODUCTION

La présentation du circuit intégré IMP ne serait pas complète sans une description de son environnement direct : la carte GIAN (Grey Image ANalysis). Celle-ci comporte essentiellement trois parties :

- une partie de contrôle,
- une unité opérative comprenant le circuit intégré,
- une unité d'interface.

La carte GIAN est directement dérivée de la carte STAN, développée autour du circuit du même nom. La différence essentielle entre les deux cartes, réside dans le type de données manipulées par les circuits intégrés IMP (pixels gris) ou STAN (pixels binaires).

La carte STAN ayant fait l'objet de deux travaux de fin d'études (36, 48), seule une description sommaire de la carte GIAN sera présentée dans le présent chapitre. Le lecteur, intéressé par des explications approfondies, est invité à consulter les deux ouvrages cités en référence.

7.2. L'UNITE D'INTERFACE

Cette unité relie la carte au monde extérieur : lecteur, système de Segmentation, MC68000.

Elle assure aussi bien le transfert de données (destinées à l'unité de traitement) que celui d'instructions (fournies à l'unité de contrôle).

L'interface de la carte GIAN avec le BUS VME (reliant les cartes et le système de développement MC68000) est matérialisé par :

- une mémoire buffer double accès (Dual Port RAM),
- un système d'interruption.

Le système d'interruption génère les interruptions destinées au processeur (fonctionnement en "Array Processor", envoi d'informations vers le monde extérieur) ou au VME (réception d'informations).

La figure 7.2-1 montre les interactions entre cette unité et les deux autres de la carte.

7.3. L'UNITE DE CONTROLE

L'unité de contrôle gère le fonctionnement de la carte et génère, à cet effet, les différentes microinstructions commandant les activités du circuit intégré et de ses périphériques.

L'unité de contrôle se décompose en deux parties :

- un séquenceur AM2901,
- une mémoire de programme.

Le séquenceur adresse le contenu de la mémoire de programme suivant des instructions internes, émanant de la ligne précédemment adressée en mémoire, et externes, venant du microprocesseur MC68000 via le bus VME.

La mémoire de programme est matérialisée par des EPROM's durant la phase de développement, afin de permettre la modification aisée des programmes stockés.

La figure 7.3-1 montre un schéma d'ensemble de l'unité de contrôle.

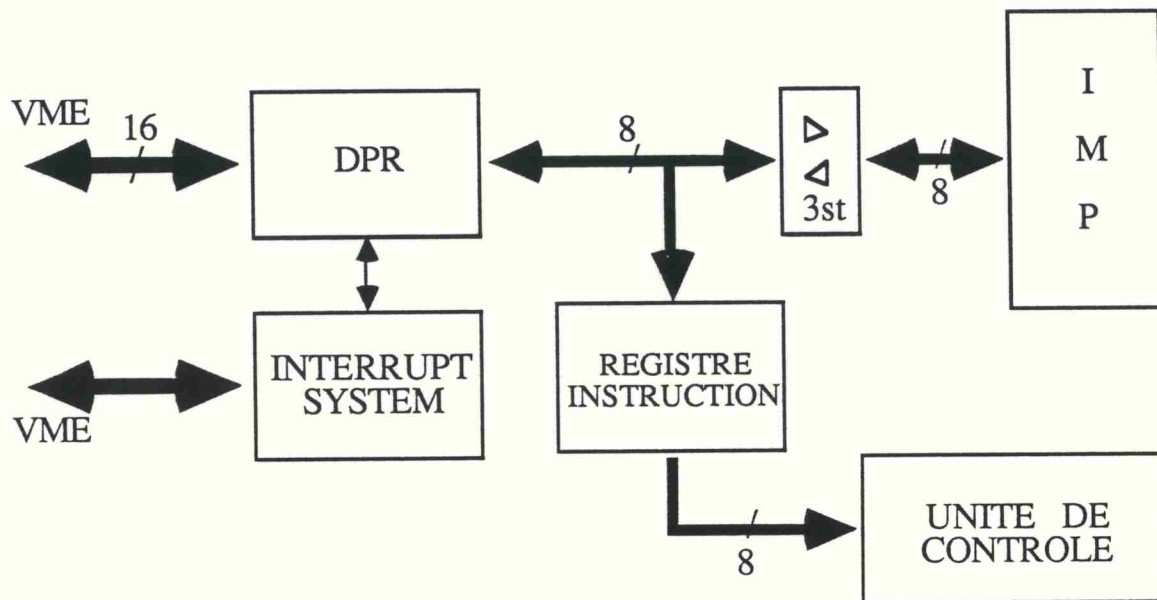


Figure 7.2-1

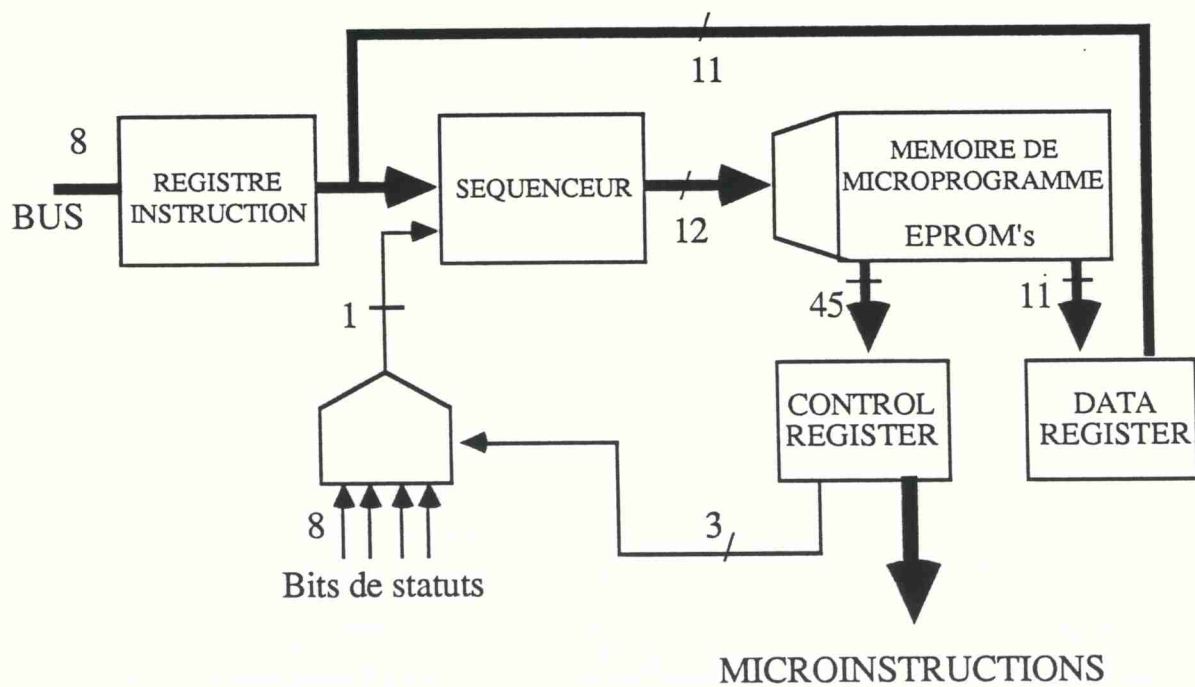


Figure 7.3-1

7.4. L'UNITE OPERATIVE

L'unité opérative exécute les opérations sur les pixels, suivant les instructions venant de l'unité de contrôle. Elle contient principalement :

- des mémoires RAM,
- le circuit intégré IMP.

Les différences, existant entre les cartes GIAN et STAN, sont localisées dans cette unité. Les mémoires RAM, au nombre de 3 sont de types gris (une d'un octet) et binaire (deux de 1 bit) dans la carte GIAN. La capacité de ces mémoires est de 4k (octets ou bits) par ligne de document que l'on désire mémoriser en une fois (3 ou 5 lignes pour la binarisation basée sur le Laplacien). Dans la carte STAN, les trois mémoires RAM sont de type binaire et ont une capacité de 16 kbits chacune.

La figure 7.4-1 présente un schéma d'ensemble de cette unité.

7.5. CONCLUSION

La conception de la carte GIAN, sur le modèle de la carte STAN, favorise la production et le développement d'une seule et même carte qui, suivant les mémoires RAM choisies et quelques connexions modifiées (straps, jumpers), reprendrait les fonctions de Transformations Binaires ou de Reconnaissance des Caractères. Cette uniformisation permet une plus grande production de la même carte et entraîne une diminution des coûts de production.

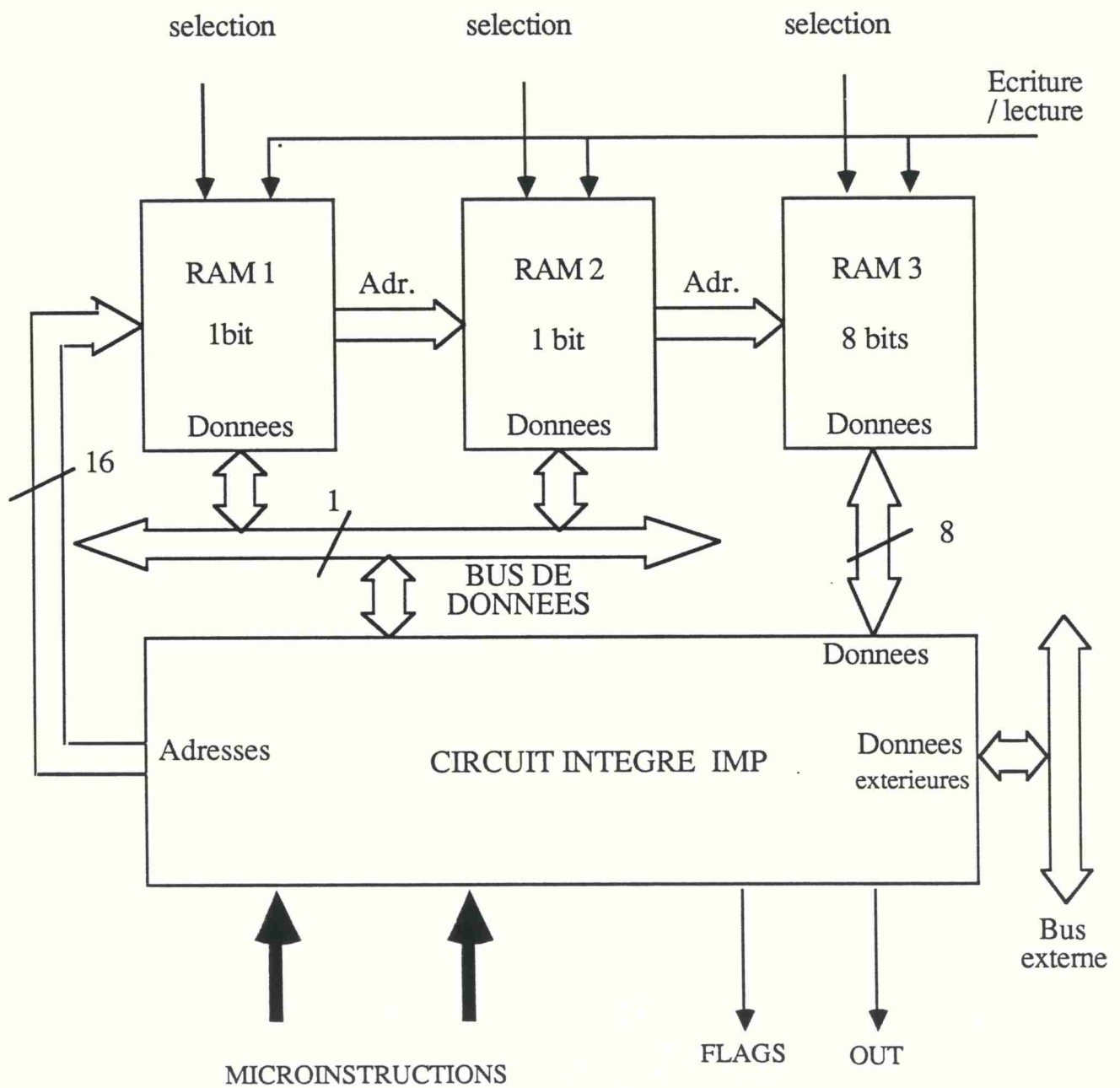


Figure 7.4-1

CONCLUSIONS

CONCLUSIONS

Pour terminer ce rapport, il convient d'effectuer la synthèse de l'étude et des réalisations.

Un circuit intégré IMP, dédié pour les opérations de transformations binaires, a été conçu, fabriqué et testé. Deux fabrications ont été nécessaires afin de le rendre opérationnel à 100 %. Il a été produit sur la chaîne pilote du Laboratoire de Microélectronique. Réalisé en technologie NMOS 6 microns grille polysilicium, il est de par sa taille (4 x 7 mm²) et son nombre de transistors (13000), le plus complexe des circuits intégrés conçus et fabriqués au Laboratoire de Microélectronique.

La réalisation de circuit intégré IMP est l'aboutissement d'une recherche répartie sur trois années et touchant des domaines aussi divers que l'algorithmique de la reconnaissance des formes et des caractères, l'informatique et l'électronique.

Une étude approfondie du contexte et des besoins d'un lecteur de documents a abouti à la définition du Système de Transformations Binaires. Des algorithmes spécifiques ont été étudiés, programmés (en PL/1) et leur efficacité vérifiée par simulation sur l'ordinateur PR1ME du Laboratoire.

Cette étape algorithmique a été suivie d'une définition architecturale du Système de Transformation Binaire (carte GIAN) et du circuit IMP. La relation algorithmique-intégration ("algotronique") a donc fortement marqué et influencé tout le processus de définition des algorithmes et de conception du circuit intégré.

Le test du circuit intégré IMP, réalisé et testé au Laboratoire de Microélectronique a démontré la justesse des options choisies tant aux niveaux algorithmique que microélectronique.

La poursuite, par la firme IRIS, de l'étude d'un lecteur de documents basé sur les travaux effectués, laisse entrevoir pour l'avenir des perspectives industrielles pour un produit tel que la Système de Transformations Binaires.

BIBLIOGRAPHIE

- / 1 / A. Rosenfeld and A.C. Kak
Digital Picture Processing
Academic Press, New York 1976
- / 2 / W.K. Pratt
Digital Image Processing
Wiley Interscience Publication, New York, 1978
- / 3 / Peeled and Liu
Digital Signal Processing
John Wiley & Sons, New York 1976
- / 4 / J. Wirzi
Black and White Decision Methods for OCR
Rapport interne FAI, Feb. 1983
- / 5 / Ph. Coene, Ph Deleuze, L. Mathay, Ph. Renault, J. Wenin
Matrice photosensible. Conception et réalisation d'un système intégré de lecture de caractères
Mémoire de fin d'études, juin 1983, Laboratoire de Microélectronique
- / 6 / J.C. Stoffel and J.F. Moreland
A. Survey of Electronic Techniques for Pictorial. Image Reproduction IEEE
Trans. on Communications, Com-29, n° 12, dec. 1981, pp. 1898-1912
- / 7 / W. Postl
Halftone Recognition by an Experimental Text and Facsimile Workstation
IEEE ICPR - Munich 1982, pp. 489-491
- / 8 / Th. Morrin
A Black-White Representation of a Gray-Scale Picture
IEEE Trans. on computers, Feb. 1974, pp. 184-186
- / 9 / Klensch, Meyerhofer & Walsh
Electronically Generated Halftone Picture
RCA revue, Sept. 1970, pp. 517-531
- / 10 / Lippel and Kurland
The Effect on Dither on Luminance Quantization of Pictures
Trans. on Communication Technology, vol. 19, n° 6, Dec. 1971
- / 11 / Jarvis and Roberts
A new technique for displaying continuous tone images on a bilevel display
IEEE Trans. on Communications, Aug. 1976, pp. 891-898

- / 12 / Pirsch and Netravali
Transmission of Gray Level Images by Multilevel Dither Techniques
Computers & Graphics, vol. 7, n° 1, 1983, pp. 31-44

- / 13 / H. Makino
A Bilevel Rendition Method of Document Images including Continuous Tone Pictures
IEEE ICPR, Munich 1982, pp. 482-485

- / 14 / D. Anastassiou and K.S. Pennington
Digital Halftoning of Images
IBM Journal of Research and Development, vol. 26, n° 6, Nov. 1982, pp. 645-790

- / 15 / R. Barbier
Traitement de documents
Juin 1983, Progress Report, IRSIA 4042

- / 16 / Ph. Deleuze
RA-03 : rapport d'activité : binarisation
Mai 1983, Laboratoire de Microélectronique de l'UCL

- / 17 / Ph. Deleuze
RA-04 : rapport d'activité : Halftone
Juin 1983, Laboratoire de Microélectronique de l'UCL

- / 18 / P. De Muelenaere
Etude et réalisation d'un système de reconnaissance de caractères
Rapport IRSIA, avril 1983, Laboratoire de " Microélectronique de l'UCL

- / 19 / J.D. Legat
Etude et implantation d'un algorithme de segmentation
Rapport IRSIA, avril 1983, Laboratoire de Microélectronique de l'UCL

- / 20 / M. Dauw, P. De Muelenaere, J.D. Legat
Etude des performances d'un algorithme de groupement calculable à partir des
primitives du circuit intégré STAN
rapport Laboratoire de Microélectronique de l'UCL, mars 1983

- / 21 / F. Anceau
Principe et mise en oeuvre des microprocesseurs
IMAG, Grenoble, Janvier 1978

- / 22 / E. Zysman
Méthodologie de conception de circuits VLSI à base de structures microprogrammées
(structure "Bloc Slice")
IMAG, Grenoble, septembre 1981

- / 23 / M. Obreska
Etude comparative des méthodologies de conception des parties contrôle des microprocesseurs
Thèse de doctorat, IMAG 1980

- / 24 / Y. de Coteret
Communication personnelles (Correlative Systems)
Mai 1983

- / 25 / M. de Ponthière, M. Voisin et M. Schayes
Communications personnelles (MBLE)
1983

- / 26 / Floyd
Digital E. Merrill Publishing Company - Columbus - Ohio, 1982
pp. 450-511

- / 27 / C. Mead and L. Conway
Introduction to VLSI Systems
Addison - Wesley, 1980

- / 28 / M. davio
Cours de Machines Séquentielles
Université Catholique de Louvain, 1982

- / 29 / Ph. Deleuze
Rapport IRSIA 1983

- / 30 / R. Marchal
Rapport IRSIA 1984

- / 31 / Image Acquisition and Binarization for Artificial Intelligence Input.
ESPRIT Preparatory Study - Correlative Syst. Int. 1983

- / 32 / P. Jespers
Cours de circuit Intégré
UCL

- / 34 / S.L. Hurst, D.M. Miller and J.C. Muzio
Spectral Techniques in digital Logic.
Academic Press - 1985

- / 35 / J.P. Bardyn, et E. Bouche
Conception et réalisation d'une ALU 8 bits en Techno NMOS 6 μ m.
travail de fin d'études - UCL-ISEN - 82/83

- / 36 / Thijs et J.P. Robin
Conception d'une machine ARRAY-PROCESSOR appliquée à l'OCR
Mémoire de fin d'études - UCL - 84

- / 37 / Carbonnelle H. et Remy J.
Structures Spécialisées pour la Reconnaissance associative
Mémoire de fin d'études - UCL - 84

- / 38 / Lobbet N., Legat J.D. et De Muelenaere P.
Règles de Technologie NMOS 6 μ m
UCL

- / 39 / A.M. Trullemans
Le Simulateur Electrique AMOS
UCL

- / 40 / Seth S. and Agrawal V.
Cutting Chip-Testing Costs
IEEE Spectrum - Avril 85

- / 41 / E. Tilmans
Générateur de vecteurs de test automatique de circuits digitaux
Mémoire de fin d'études - UCL - 1984

- / 42 / Niyungeko Juvénat
optimisation de PLA
Mémoire de fin d'études, UCL, Juin 84

- / 43 / M. Davio, J.P. Deschamps, A. Thayse
Digital Systems with Algorithm Implementation
John Wiley & Sons, 1983

- / 44 / Remy Jean
Etude de Développement de logiciel de conception, d'optimisation et de dessin
automatique d'unités de contrôle pour Circuits Intégrés
Rapport IRSIA - UCL - 1985

- / 45 / Burton D. et Leonard J.
Conception d'un multiplieur parallèle et procédure d'assemblage
Mémoire de fin d'études - Juin 84

- / 46 / Bouterfa Y.
Implanattion des circuits fondamentaux de processeurs de traitement numérique des
signaux
Thèse de doctorat - UCL - Décembre 1984

- / 47 / Meraghni A.
Thèse de doctorat - UCL - Décembre 1984

- / 48 / Geury Y.
Réalisation d'un Processeur Parallèle de Traitement d'Images
Mémoire de fin d'études - UCL - 1985

- / 49 / Jespers P.G.A., Jusseret C., miller J.M.,mouthuy C.
A Two-Chip Imaging for OCR Applications
IEEE JSSC, Vol. SC-16, n° 3, June 1981

- / 50 / Rahier M., Jespers P.G.A.
Dedicated LSI for a Microprocessor-controlled Hand-Carried OCR System
IEEE JSSC, Vol. -15, n° 1, feb. 1980

- / 51 / Marchal R.
Algorithmes et structures Intégrées spécifiques pour la correction contextuelle d'un texte continu
Rapport IRSIA - UCL - 1984

- / 52 / Verleysen P.
Communications personnelles & mode d'emploi du programme TEKT
Laboratoire de Microélectronique - UCL - 84

- / 53 / H. Meyer, H. Rodolsky, T. Huang
Optimum Run Length Coding
IEEE Transactions on Communications, Vol. COM-22, n° 6, june 1984

- / 54 / A.N. Netravali, F. MLounts
Ordering Techniques for Facsimile Coding - A review
Proceedings of IEEE, Vol. 68, n° 7, July 80

- / 55 / Y. Yasuda
Overview of digital Facsimile Coding Techniques
Proceedings of IEEE, Vol. 68, n° 7, July 1980

- / 56 / W. Pratt and all
Combined Symbol Matching Facsimile Compression System
Proceedings of IEEE, Vol. 68, n° 7, July 1980

- / 57 / R. Hunter, A. H. Robinson
International Digital Facsimile Coding Standards
Proceedings of IEEE, Vol. 68, n° 7, July 1980

- / 58 / T.S. Huang
Coding of Two-Tone Images
IEEE Transactions on Communications, Vol. COM-25, n° 11, Nov.77

- / 59 / Ph. Deleuze, J.D. Legat, P. de Muelenaere, P. Jespers
PHOMAT-2000 : A NMOS Photosensor With Binary Output Pattern
IEEE 1985 Custom Integrated Circuits Conference Portland (Oregon)
- / 60 / P. de Muelenaere, Ph. Deleuze, J.D. Legat, P. Jespers
A Custom IC for Image Processing and Recognition
ISSCC Digest of Technical Papers, New-York, 1985.

